

10/089067  
T/JPCO/06957

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

05.10.00

JPOO/6957

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2000年 7月18日

出願番号  
Application Number:

特願2000-218046

出願人  
Applicant(s):

ティーディーケー株式会社

REC'D 28 NOV 2000	
WIPO	PCT

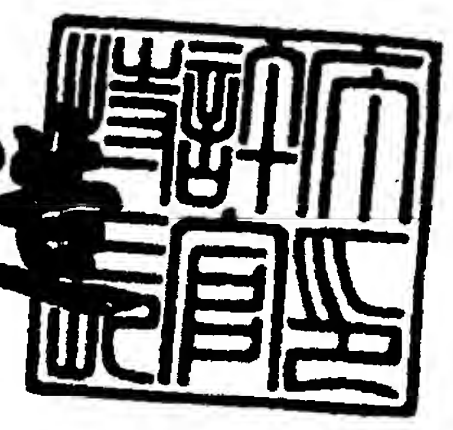
EV

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月10日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3092627

【書類名】 特許願

【整理番号】 P01552

【提出日】 平成12年 7月18日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 B23K 35/36  
B23K 1/00

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケ  
イ株式会社内

【氏名】 阿部 寿之

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目13番1号 ティーディーケ  
イ株式会社内

【氏名】 高谷 稔

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100081606

【弁理士】

【氏名又は名称】 阿部 美次郎

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第284859号

【出願日】 平成11年10月 5日

【手数料の表示】

【予納台帳番号】 014513

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 0 - 2 1 8 0 4 6

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 はんだ付け用フラックス、はんだペースト、電子部品装置、電子回路モジュール、電子回路装置、及び、はんだ付け方法

【特許請求の範囲】

【請求項 1】 接着性樹脂と、硬化剤とを含有するはんだ付け用フラックス

。

【請求項 2】 請求項 1 に記載されたフラックスであって、液状またはペースト状であるフラックス。

【請求項 3】 請求項 1 または 2 の何れかに記載されたフラックスであって、前記接着性樹脂は、熱硬化性樹脂を含むフラックス。

【請求項 4】 請求項 3 に記載されたフラックスであって、前記熱硬化性樹脂は、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、シリコン樹脂、変性樹脂またはアクリル樹脂から選択された少なくとも 1 種を含むフラックス。

【請求項 5】 請求項 1 乃至 4 の何れかに記載されたフラックスであって、前記硬化剤は、カルボン酸を含むフラックス。

【請求項 6】 請求項 1 乃至 4 の何れかに記載されたフラックスであって、前記硬化剤は、少なくとも 2 種のカルボン酸を含み、前記少なくとも 2 種のカルボン酸は、互いに異なる融点を有するフラックス。

【請求項 7】 請求項 6 に記載されたフラックスであって、前記少なくとも 2 種のカルボン酸のうち、1 種はアジピン酸であり、他の 1 種はピメリット酸であるフラックス。

【請求項 8】 請求項 7 に記載されたフラックスであって、前記アジピン酸の含有率を a（質量％）とし、前記ピメリット酸の含有率を b（質量％）としたとき、

$a : b = (85 : 15) \sim (95 : 5)$

を満たす

フラックス。

【請求項 9】 請求項 6 に記載されたフラックスであって、

前記少なくとも 2 種のカルボン酸のうち、1 種はアジピン酸であり、他の 1 種はコハク酸である

フラックス。

【請求項 10】 請求項 9 に記載されたフラックスであって、

前記アジピン酸の含有率を  $a$ （質量％）とし、前記コハク酸の含有率を  $c$ （質量％）としたとき、

$a : c = (95 : 5) \sim (25 : 75)$

を満たす

フラックス。

【請求項 11】 はんだ粉末と、フラックスとを含むはんだペーストであって、

前記フラックスは、請求項 1 乃至 10 の何れかに記載されたものでなり、

前記はんだ粉末は、前記フラックスと混合されている  
はんだペースト。

【請求項 12】 請求項 11 に記載されたはんだペーストであって、

前記はんだ粉末は、 $\text{Sn}$ 、 $\text{Cu}$ 、 $\text{Ag}$ 、 $\text{Sb}$ 、 $\text{Pb}$ 、 $\text{In}$ 、 $\text{Zn}$ または  $\text{Bi}$  から選択された少なくとも 1 種を含む

はんだペースト。

【請求項 13】 少なくとも 1 つの電子部品と、部品搭載基板と、はんだ付け用フラックスとを含む電子部品装置であって、

前記電子部品は、前記部品搭載基板の上にはんだ付けされており、

前記はんだ付け用フラックスは、請求項 1 乃至 10 の何れかに記載されたフラックスでなり、前記電子部品と前記部品搭載基板との間に介在し、両者を接着している

電子部品装置。

【請求項 1 4】 半導体チップと、チップ搭載基板と、はんだ付け用フラックスとを含む電子回路モジュールであって、

前記半導体チップは、少なくとも 1 つの半導体素子を含み、前記チップ搭載基板の上にはんだ付けされており、

前記はんだ付け用フラックスは、請求項 1 乃至 1 0 の何れかに記載されたフラックスでなり、前記半導体チップと前記チップ搭載基板との間に介在し、両者を接着している  
電子回路モジュール。

【請求項 1 5】 電子回路モジュールと、マザー基板と、はんだ付け用フラックスとを含む電子回路装置であって、

前記電子回路モジュールは、前記マザー基板上にはんだ付けされており、

前記はんだ付け用フラックスは、請求項 1 乃至 1 0 の何れかに記載されたフラックスでなり、前記電子回路モジュールと前記マザー基板との間に介在し、両者を接着している  
電子回路装置。

【請求項 1 6】 請求項 1 5 に記載された電子回路装置であって、前記電子回路モジュールは、請求項 1 4 に記載されたものである  
電子回路装置。

【請求項 1 7】 請求項 1 乃至 1 0 の何れかに記載されたフラックスを用いてはんだ付けする方法。

【請求項 1 8】 請求項 1 1 または 1 2 の何れかに記載されたはんだペーストを用いてはんだ付けする方法。

【請求項 1 9】 請求項 1 7 または 1 8 の何れかに記載された方法であって、  
基板の上に電子部品、電子回路モジュールまたは半導体チップをはんだ付けする  
はんだ付け方法。

【請求項 2 0】 請求項 1 9 に記載された方法であって、  
前記基板の一面上に、前記はんだペーストによるはんだ付け処理を実行し、

次に、前記基板の他面上で、前記はんだペーストとは異なるはんだを用いて、電子部品をはんだ付けする工程を含むはんだ付け方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、はんだ付け用フラックス、はんだペースト、電子部品装置、電子回路モジュール、電子回路装置、及び、はんだ付け方法に関する。

【0 0 0 2】

【従来の技術】

例えば、部品搭載基板に対する部品のはんだ付けに当たっては、周知のように、フラックスが用いられる。フラックスの主な機能は、部品搭載基板に設けられた金属導体及び部品のはんだ付け用金属の表面の酸化皮膜を除去し、はんだの濡れ性を向上させることにある。フラックスとしては、ロジンの主成分とするものが最もよく知られている。ロジンには、アビエチン酸、レボビマル酸等のカルボン酸が含まれており、カルボキシル基の働きにより、はんだ付けされる金属表面の酸化膜を除去する。

【0 0 0 3】

フラックスには、通常、上述したロジンの外、印刷性の向上及び仮止め強度を得る目的で、溶剤、可塑剤またはチキソ剤等の各種の添加物が配合される。例えば、特開平 1 1－1 2 1 9 1 5 号公報は、粘性を、アルコール添加によって調整するタイプのフラックスを開示している。

【0 0 0 4】

更に、別のフラックスとして、ミル規格で規定されている RMA（ハロゲンフリー）系フラックスも知られている。このフラックスの場合、リフロー後、フラックス等の洗浄工程が省略される。

【0 0 0 5】

上述したフラックスは、はんだ付け後は、はんだ付けされた部品の接着に関与せず、はんだ接合は、はんだ金属の溶融接合によって達成される。従って、はん



だ付けされる金属間の接合強度は、はんだ接合面積に依存する。

#### 【 0 0 0 6 】

ところが、各種電子機器において、高密度実装が進むにつれ、部品が小型化され、部品の配置間隔が狭ピッチ化され、これに伴い、はんだ接合面積の狭小化が急速に進展しつつあり、現段階でも、既に、十分なはんだ付け強度を確保することが困難になっている。しかも、実装の高密度化、部品の小型化及び部品の配置間隔の狭ピッチ化は、更に進展する傾向にあり、はんだ接合面積のみによってはんだ接合強度を確保する従来手段では、この技術動向に対応することが、ますます困難になる傾向にある。

#### 【 0 0 0 7 】

一般に、はんだ接合強度を確保する手段として、はんだのフィレット部を形成し、部品の端子と部品搭載基板上の導体（ランドまたははんだバンプ）とのはんだ接合面積を拡大する手段が採られている。ところが、高密度実装においては、フィレット部の接合面積も小さくなってしまったため、フィレット部による接合強度の増大手段も採りにくい。

#### 【 0 0 0 8 】

また、例えば、各種の電子回路モジュールでは、両面実装タイプの部品搭載基板を用い、部品搭載基板の一面上に高温はんだを用いて部品をはんだ付け（通炉）した後、他面に部品を搭載し、再び通炉する。従って、部品搭載基板の他面側における部品のはんだ付けに当たっては、一面側の高温はんだよりも低い融点を持つ低温はんだを用いてはんだ付けする必要がある。従来、はんだの融点はPbの含有量によって調整するのが一般的であった。

#### 【 0 0 0 9 】

ところが、地球環境保全の立場から、Pbを含有しないはんだ（Pbフリーはんだ）が要求され、そのようなはんだ組成の開発が盛んに行われている。しかし、Pbフリーはんだで、従来の高温はんだに匹敵する高温融点のはんだ組成は、現在のところ、実用化されていない。理由として、Pbフリーはんだ自体の融点が220℃前後と、共晶はんだに比較し、約40℃も上昇するため、Pb以外の代替組成が見つからないからである。このため、両面実装タイプの部品搭載基板



において、両面側で用いられるはんだの融点差を十分にとることができず、部品を部品搭載基板上に実装する際、部品が浮動し、または脱落する等の不具合が生じる。

#### 【 0 0 1 0 】

更に、半導体チップを用いた電子回路モジュールにおいては、半導体チップをチップ搭載基板にはんだ付けした後、封止剤を接合界面に流し込み、半導体チップと、チップ搭載基板とを封止剤で接着固定する作業が付加される。

#### 【 0 0 1 1 】

ところが、封止剤注入時にフラックスの残渣が残っていると、フラックスのために、封止剤が半導体チップと基板との間の界面に十分に到達せず、接着力が発揮できない。そこで、封止剤を注入する前、フラックスを洗浄する工程が付加される。フラックスの洗浄は、通常、揮発性有機溶剤を用い、数回に分けて行なわれる。ところが、環境保全等の目的から、揮発性有機溶剤の使用が規制されており、フラックスの洗浄工程は、コストおよび環境保全の両面から、負担の大きい工程となっている。

#### 【 0 0 1 2 】

更に、上述のようにして得られた電子回路モジュールをマザー基板に搭載して、電子回路装置を構成する場合、チップ搭載基板にセラミックを用い、マザー基板に有機樹脂基板を用いた組み合わせにおいては、搭載後の熱衝撃試験などにおいて、セラミック基板及び有機樹脂基板の熱膨張率の違いから、はんだ接合部に収縮応力が集中し、クラックが入り易く、接合寿命が短いとされている。よって、はんだ接合強度向上を図るため、封止剤の注入を行ないたいが、マザー基板全体を、フラックス洗浄工程及び封止剤注入工程に付することは、かなりのコストアップを招くため、実際には行われていない。

#### 【 0 0 1 3 】

##### 【発明が解決しようとする課題】

本発明の課題は、実装の高密度化、部品の小型化及び部品の配置間隔の狭ピッチ化等に対しても、十分な接合強度をもって対応し得るはんだ付け用フラックス及びはんだペースト及びはんだ付け方法を提供することである。

## 【 0 0 1 4 】

本発明のもう一つの課題は、両面実装タイプの部品搭載基板において、両面側で用いられるはんだの融点差を十分にとらなくとも、部品の浮動または脱落等の不具合を確実に阻止し得るはんだ付け用フラックス及びはんだペースト及びはんだ付け方法を提供することである。

## 【 0 0 1 5 】

本発明の更にもう一つの課題は、フラックス洗浄工程を必要とせず、製造コストの安価な電子部品装置、電子回路モジュール及び電子回路装置を提供することである。

## 【 0 0 1 6 】

本発明の更にもう一つの課題は、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子部品装置、電子回路モジュール及び電子回路装置を提供することである。

## 【 0 0 1 7 】

## 【課題を解決するための手段】

上述した課題を解決するため、本発明に係るはんだ付け用フラックスは、接着性樹脂と硬化剤とを含有する。

## 【 0 0 1 8 】

本発明に係るフラックスは、接着性樹脂と、硬化剤とを含有するから、はんだ付け後に、接着性樹脂を、部品搭載基板と部品を固定する接着剤として機能させることができる。このため、衝撃や熱ストレスに対し、部品の剥離、脱落を防ぎ、はんだ接合の信頼性を向上させることができる。この点、はんだ付け後に、接着機能を持たない従来のロジン系フラックスと著しく異なる。

## 【 0 0 1 9 】

しかも、本発明に係るフラックスを使用することにより、フィレット部がなくても、十分な固着強度を確保できる。このため、部品搭載基板上に形成される部品接続用導体（ランド）に、フィレット部を生じさせるための領域を設ける必要がなくなるので、実装密度を向上させることが可能となる。

## 【 0 0 2 0 】

本発明に係るフラックスにおいて、接着性樹脂としては、多数の樹脂材料から、温度に応じて、高い接着力を示す樹脂を選択し、これを接着性樹脂として用いることができる。従って、両面実装タイプの部品搭載基板の1面に本発明に係るフラックスを用いて、部品をはんだ付けした後、部品搭載基板の2面に通常の共晶はんだを用い、リフロー炉を通炉した場合でも、1面に搭載された部品がシフティング、マンハッタン現象（部品立ち現象）または脱落等の不具合を起こすことはない。勿論、1面及び2面の両はんだ付け処理において、本発明に係るフラックスを用いることができる。

#### 【0021】

本発明に係るフラックスは液状またはペーストの形態を採ることができる。このようなフラックスは、印刷、ディスペンサー塗布、スプレー、はけ塗り等の手段によって、部品搭載基板等に容易に塗布できる。

#### 【0022】

本発明に係るフラックスにおいて、好ましい接着性樹脂は、熱硬化性樹脂である。熱硬化性樹脂の具体例としては、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、シリコン樹脂または変性樹脂またはアクリル樹脂から選択された少なくとも1種を挙げることができる。例示された樹脂材料の種類及び配合量は、接着温度帯及び目標とする皮膜硬度等に応じて選択することができる。

#### 【0023】

硬化剤は、接着性樹脂を硬化させるものであればよい。好ましくは、カルボン酸を含む。カルボン酸を含む硬化剤は、熱硬化性樹脂に対する硬化作用のみならず、はんだ付けされる金属表面の酸化膜を除去するフラックス作用も兼ね備える。

#### 【0024】

本発明に係るフラックスは、溶剤、可塑剤及びチキソ剤等を含んでいてもよい。溶剤は、接着性樹脂の硬化温度及び硬化速度を調整すると共に、塗布形態に応じて粘度を調整するために加えられる。可塑剤及びチキソ剤も、塗布形態に応じて、粘度を調整するために加えられる。溶剤、可塑剤及びチキソ剤等は、その使用目的に合うように、配合量が選択される。

【 0 0 2 5 】

本発明に係るフラックスは、接着性樹脂、還元作用をもたらす有機酸、カルボン酸、溶剤または硬化剤を封入したマイクロカプセルの形態であってもよい。

【 0 0 2 6 】

更に、本発明に係るフラックスは、はんだ粉末と混合して、はんだペーストを構成するために用いることもできる。はんだ粉末は、S n、C u、A g、S b、P b、I n、Z n及びB iから選択することができる。P bフリーのはんだペーストを得る場合には、はんだ粉末はP b以外のはんだ粉末で構成する。

【 0 0 2 7 】

本発明は、更に、上述したフラックスを用いた電子部品装置、電子回路モジュール及び電子回路装置を開示する。まず、本発明に係る電子部品装置は、少なくとも1つの電子部品と、部品搭載基板と、はんだ付け用フラックスとを含む。前記電子部品は、部品搭載基板の上にはんだ付けされている。前記はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有し、前記電子部品と前記部品搭載基板との間に介在し、両者を接着している。

【 0 0 2 8 】

前記電子部品と前記部品搭載基板との間に介在するはんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能する。このはんだ付け用フラックスは洗浄する必要がなく、そのまま接着はんだ付け用フラックスとして用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子部品装置を得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子部品装置を得ることができる。

【 0 0 2 9 】

次に、本発明に係る電子回路モジュールは、半導体チップと、チップ搭載基板と、はんだ付け用フラックスとを含む。前記半導体チップは、少なくとも1つの半導体素子を含み、チップ搭載基板の上にはんだ付けされている。前記はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有し、前記半導体チップと前記

チップ搭載基板との間に介在し、両者を接着している。

【 0 0 3 0 】

前記半導体チップと前記チップ搭載基板との間に介在するはんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能する。このはんだ付け用フラックスは洗浄する必要がなく、そのまま接着はんだ付け用フラックスとして用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子回路モジュールを得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回路モジュールを得ることができる。

【 0 0 3 1 】

更に、本発明に係る電子回路装置は、電子回路モジュールと、マザー基板と、はんだ付け用フラックスとを含む。前記電子回路装置は、前記マザー基板上にはんだ付けされている。前記はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有し、前記半導体チップと前記マザー基板との間に介在し、両者を接着している。このはんだ付け用フラックスは洗浄する必要がなく、そのまま接着はんだ付け用フラックスとして用いることができる。従って、フラックス洗浄工程を必要としないから、製造コストの安価な電子回路装置を得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回路装置を得ることができる。

【 0 0 3 2 】

本発明は、更に、上述したフラックス及びはんだペーストを用いたはんだ付け方法についても開示する。

【 0 0 3 3 】

【発明の実施の形態】

＜フラックス、電子部品装置＞

実施例 1

熱硬化性樹脂としてビスフェノール A を用い、硬化剤にはカルボン酸の無水物



を使用した。熱硬化性樹脂及び硬化剤の配合比は重量比で 1 : 1 とした。また、粘性を確保するために、少量の溶剤及びチクソ剤を配合した。

#### 【 0 0 3 4 】

上記組成にて調製したフラックス 3 を、予め、はんだバンプ 2 1、2 2 を施した部品搭載基板 1（図 1（a）参照）の上に塗布（図 1（b）参照）した。次に、図 1（c）に示すように、長さ 1 mm、幅 0.5 mm のチップ状の電子部品 4 を搭載した。電子部品 4 は、基体 4 0 の相対する両端に端部電極 4 1、4 2 を有し、端部電極 4 1、4 2 がはんだバンプ 2 1、2 2 上に位置するようにして、部品搭載基板 1 上に配置した。電子部品 4 を搭載した部品搭載基板 1 を、リフロー炉に通炉し、電子部品 4 の基体 4 0 の両端に設けられた端部電極 4 1、4 2 をはんだバンプ 2 1、2 2 にはんだ接合した。これにより、本発明に係る電子部品装置が得られる。フラックス 3 は、電子部品 4 と部品搭載基板 1 との間に生じる間隔に充填され、接着性はんだ付け用フラックスとして機能する。得られた電子部品装置について、図 2 に示すように、電子部品 4 を横方向 F 1 に押し、部品横押し強度を測定した。

#### 【 0 0 3 5 】

##### 比較例 1

比較のために、従来のロジン系フラックスを用い、図 1 に従って部品を搭載し、はんだ付け処理を行い、次に、図 2 に示した試験方法に従い、部品横押し強度を測定した。

#### 【 0 0 3 6 】

図 3 は横押し強度試験結果を示している。図 3 に示すように、従来のロジンフラックスを用いた比較例 1 の横押し強度平均値は 8 0 0 g 程度であったが、本発明に係るフラックスを使用した実施例 1 では、平均値 1 6 0 0 g 程度の横押し強度を得ることができた。

#### 【 0 0 3 7 】

電子部品 4 と部品搭載基板 1 との間に生じる間隔に充填されているフラックスは、接着性樹脂と、硬化剤とを含有しており、接着性接着剤として機能する。このフラックス（はんだ付け用フラックス）3 は洗浄する必要がなく、そのまま接

着はんだ付け用フラックスとして用いることができる。従って、フラックス洗浄工程を必要としない製造コストの安価な電子部品装置を得ることができる。しかも、フラックス 3 で構成されるはんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着性はんだ付け用フラックスとして機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子部品装置を得ることができる。

## 【 0 0 3 8 】

## 実施例 2

実施例 1 で調製したフラックスと、はんだ粉末とを混合し、はんだペーストを調製した。はんだ粉末に対するフラックスの配合量は 1 0 w t % とした。このはんだペーストを用いて、チップ部品を部品搭載基板上にはんだ付けした。図 4 ( a ) ~ ( c ) は部品搭載基板の詳細と、部品搭載基板に対するチップ部品のはんだ付け工程を示す部分断面図である。部品搭載基板 1 は、C u 膜 5 1 ( 5 2 ) 、N i 膜 6 1 ( 6 2 ) 及び A u 膜 7 1 ( 7 2 ) を順次に積層して形成した 2 つのランドを有する。

## 【 0 0 3 9 】

上述した部品搭載基板 1 のランドの上に、本発明に係るはんだペースト 8 1 ( 8 2 ) を塗布した ( 図 4 ( a ) 参照 ) 。はんだペースト 8 1 ( 8 2 ) の塗布に当たっては、厚み 1 0 0  $\mu$  m のメタルマスクを用いて印刷した。メタルマスクの開口寸法は 0 . 5 m m  $\times$  0 . 3 m m とし、電子部品 4 の搭載されるランド寸法と同寸法とした。

## 【 0 0 4 0 】

そして、はんだペースト 8 1 ( 8 2 ) の上に、長さ 1 m m 、幅 0 . 5 m m の電子部品 4 を搭載 ( 図 4 ( b ) 参照 ) し、リフロー炉に通炉することにより、電子部品 4 を部品搭載基板 1 上にはんだ付けした ( 図 4 ( c ) 参照 ) 。これにより、本発明に係る電子部品装置が得られる。

## 【 0 0 4 1 】

この後、図 2 に示した方法に従って横押し強度を測定した。図 4 ( c ) において、参照符号 3 は、はんだペースト 8 1 ( 8 2 ) に含まれていた本発明に係るフ



ラックスを示し、端部電極 4 1、4 2 の外側でフィレット状になる。

#### 【0 0 4 2】

##### 比較例 2

比較のため、従来のロジン系フラックスを含むはんだペーストを用い、チップ部品を部品搭載基板にはんだ付けした。はんだ粉末に対するロジン系フラックスの配合量は 1 0 w t % とした。

#### 【0 0 4 3】

図 5 ( a ) ～ ( c ) は部品搭載基板の詳細と、部品搭載基板に対するチップ部品のはんだ付け工程を示す部分断面図である。図示するように、部品搭載基板 1 は、C u 膜 5 1 ( 5 2 )、N i 膜 6 1 ( 6 2 ) 及び A u 膜 7 1 ( 7 2 ) を順次に積層した 2 つのランドを有する。この部品搭載基板 1 のランドの上に、ロジン系フラックスを含有するはんだペースト 9 1 ( 9 2 ) を塗布した ( 図 5 ( a ) 参照 )。

#### 【0 0 4 4】

そして、ロジン系フラックスを含有するはんだペースト 9 1 ( 9 2 ) の上に、長さ 1 m m、幅 0. 5 m m の電子部品 4 を搭載 ( 図 5 ( b ) 参照 ) し、リフロー炉に通炉することにより、電子部品 4 を部品搭載基板 1 上にはんだ付けした ( 図 5 ( c ) 参照 )。この後、図 2 に示した方法に従って、部品横押し強度を測定した。

#### 【0 0 4 5】

図 6 は実施例 2 及び比較例 2 の部品横押し強度試験の結果を示す図である。図示するように、比較例 2 の横押し強度の平均値は 6 0 0 g 程度であったが、実施例 2 では平均値 1 5 0 0 g 程度の強度を得ることができた。

#### 【0 0 4 6】

##### 実施例 3

実施例 1 で調製したフラックスと、はんだ粉末とを混合し、はんだペーストを調製した。はんだ粉末に対するフラックスの配合量は、2 0 ～ 4 5 w t % まで増やした。

#### 【0 0 4 7】

このはんだペーストを用い、図 7 に従って、電子部品 4 を部品搭載基板 1 に搭載し、はんだ付けした。図 7 を参照して具体的に述べると、部品搭載基板 1 は、Cu 膜 5 1 ( 5 2 ) 、Ni 膜 6 1 ( 6 2 ) 及び Au 膜 7 1 ( 7 2 ) を順次に積層して形成した 2 つのランドを有する ( 図 7 ( a ) 参照 ) 。

## 【 0 0 4 8 】

上述した部品搭載基板 1 のランドの上に、本発明に係るはんだペースト 8 1 ( 8 2 ) を塗布した ( 図 7 ( a ) 参照 ) 。はんだペースト 8 1 ( 8 2 ) の塗布に当たっては、厚み  $100\mu\text{m}$  のメタルマスクを用いて印刷した。メタルマスクの開口寸法は  $0.5\text{mm}\times 0.3\text{mm}$  とし、電子部品 4 の搭載されるランド寸法と同寸法とした。

## 【 0 0 4 9 】

そして、はんだペースト 8 1 ( 8 2 ) の上に、長さ  $1\text{mm}$ 、幅  $0.5\text{mm}$  の電子部品 4 を搭載 ( 図 7 ( b ) 参照 ) し、リフロー炉に通炉することにより、電子部品 4 を部品搭載基板 1 上にはんだ付けした ( 図 7 ( c ) 参照 ) 。これにより、本発明に係る電子部品装置が得られる。

## 【 0 0 5 0 】

はんだ付け後の外観は、図 8 に示す通りである。図 8 は図 7 ( c ) の 8 - 8 線に沿った断面図である。実施例 3 では、意図的にフラックス含有量を増やしたはんだペーストを用いたものであるが、実質、はんだ量が少なくて済み、電子部品 4 は、図 8 に示すように、傾斜することなく、正常な状態ではんだ付けされた。図 7 ( c ) 及び図 1 0 において、参照符号 3 は、はんだペースト 8 1 ( 8 2 ) に含まれていた本発明に係るフラックスを示し、端部電極 4 1、4 2 の外側でフィレット状になる。

## 【 0 0 5 1 】

また、本発明に係るフラックスを含有するはんだペーストを用いたことにより、はんだ付け後の電子部品 4 の周辺を、フラックスが覆い、部品横押し強度の向上も認められた。このように、はんだペースト中のフラックス含有率を故意に向上させることにより、はんだ厚みを、はんだペーストによって制御も可能となる。特に、フラックスの含有量が  $35\text{wt}\%$  以上の領域で、斜めはんだ付けを回避

し、かつ、従来品と同等以上の接合強度を得ることができた。

#### 【 0 0 5 2 】

##### 比較例 3

比較のために、従来のロジン系フラックス含有のはんだペーストを用い、図 9 に従って、電子部品 4 を部品搭載基板 1 に搭載し、はんだ付けした。図 9 を参照して具体的に述べると、部品搭載基板 1 は、Cu 膜 5 1 ( 5 2 )、Ni 膜 6 1 ( 6 2 ) 及び Au 膜 7 1 ( 7 2 ) を順次に積層して形成した 2 つのランドを有する ( 図 9 ( a ) 参照 )。

#### 【 0 0 5 3 】

上述した部品搭載基板 1 のランドの上に、ロジン系フラックス含有のはんだペースト 9 1 ( 9 2 ) を塗布した ( 図 9 ( a ) 参照 )。はんだペースト 9 1 ( 9 2 ) の塗布に当たっては、厚み 1 0 0  $\mu$ m のメタルマスクを用いて印刷した。メタルマスクの開口寸法は 0. 5 mm  $\times$  0. 3 mm とし、電子部品 4 の搭載されるランド寸法と同寸法とした。

#### 【 0 0 5 4 】

そして、はんだペースト 9 1 ( 9 2 ) の上に、長さ 1 mm、幅 0. 5 mm の電子部品 4 を搭載 ( 図 9 ( b ) 参照 ) し、リフロー炉に通炉することにより、電子部品 4 を部品搭載基板 1 上にはんだ付けした ( 図 9 ( c ) 参照 )。

#### 【 0 0 5 5 】

リフローはんだ付け後の外観は、図 1 0 に示す通りである。図 1 0 は図 9 ( c ) の 1 0 - 1 0 線に沿った部分断面図である。図 1 0 に示すように、従来のロジン系フラックス含有はんだペーストではんだ付けしたものは、はんだ量が多すぎ、電子部品 4 が斜めにはんだ付けされた。図 9 ( c ) 及び図 1 0 において、参照符号 9 3 は、はんだペースト 9 1 ( 9 2 ) に含まれていたロジン系フラックスを示す。

#### 【 0 0 5 6 】

##### 実施例 4

フラックスの配合組成について検討した。接着性樹脂として、液状エポキシ樹脂を用い、硬化剤としてアビエチン酸 ( カルボン酸 ) を用いた。液状エポキシ樹脂

脂に対し、アビエチン酸を、表 1 に示す重量比で配合した。このフラックスを基板上に塗布し、230℃のリフロー炉に通炉し、樹脂硬化膜について検証した。

表 1

		配 合 比 (wt%)				
配合物	液状エポキシ樹脂	1	1	1	1	1
	アビエチン酸	0.25	0.50	0.75	1.00	1.50
	溶剤	10	10	10	10	10
硬化膜物性		硬化せず	ゲル状	硬化膜	硬化膜	ゲル状
硬化膜硬度				弾性	硬い	

## 【0057】

表 1 に示すように、液状エポキシ樹脂 1 wt % に対し、アビエチン酸 1 wt % の配合比のとき、硬い硬化膜となり、最も良好な結果が得られる。その他の配合比では、硬化しなかったり、ゲル状になったり、あるいは弾性硬化膜になったりするので、適当でない。リフロー温度に対しては、エポキシ樹脂の配合比、或いは、エポキシ樹脂の分子量、官能基数を変え、硬化剤（カルボン酸）の種類を検討すれば、任意の温度で、所望の硬化膜（接着性）を得ることができる。

## 【0058】

## 実施例 5

実施例 4 で調製したフラックスと、はんだ粉末とを混合し、はんだペーストを調製した。はんだ粉末としては、Sn (96.5) Ag (3.5) を用いた。フラックスの含有量は 25 wt % とした。これを実施例 5 とする。

## 【0059】

図 11 は実施例 5 のはんだペーストを用いてチップ部品をはんだ付けした場合、及び、従来のロジン系はんだペーストを用いてチップ部品をはんだ付けした場合について、リフロー温度と部品横押し強度との関係を示す図である。図において、曲線 L1 は実施例 5 のはんだペーストを用いた場合の特性、曲線 L2 は従来のロジン系はんだペーストを用いた場合の特性である。

## 【0060】

図 11 に示すように、フラックスを含有するはんだペーストは、220～26

0℃のリフロー温度範囲において、従来のロジン系はんだペーストよりも高い接合強度を示す。特に、リフロー温度230℃以上で高い接合強度を確保することができた。

#### 【0061】

##### 実施例 6

実施例 5 に示したはんだペーストを用いて、チップ部品を部品搭載基板にはんだ付けし、本発明に係る電子部品装置を得た。この後、部品搭載基板とチップ部品の端子極の接合性について観察したところ、フラックスを含有するはんだペーストは、ロジン系はんだペーストと同様の接合性を有していた。因に、従来の導電性接着剤や異方性導電ペーストを上記フラックスと同様に評価した場合、部品搭載基板と部品の端子との接合は得られなかった。

#### 【0062】

上記実施例では、部品搭載基板 1 の一面に電子部品 4 を搭載する例を示したが、部品搭載基板 1 の両面に電子部品 4 を搭載することができる。この場合、部品搭載基板 1 の一面上に、本発明に係るはんだペーストによるはんだ付け処理を実行した後、部品搭載基板 1 の他面上で、本発明に係るはんだペーストとは異なるはんだ、例えば、従来のロジン系はんだペーストを用いて、電子部品 4 をはんだ付けすることができる。これとは異なって、部品搭載基板 1 の両面側において、本発明に係るはんだペーストを用いて、電子部品 4 をはんだ付けすることもできる。何れの場合も、電子部品 4 がシフティング、マンハッタン現象（部品立ち現象）または脱落等の不具合を起こすことはない。

#### 【0063】

##### <電子回路モジュール>

本発明に係る電子回路モジュールは、既に述べた電子部品装置との対比において、電子部品が、半導体チップに置き換わる点、及び、部品搭載基板がチップ搭載基板に置き換わる点を除けば、本質的に異なる点はない。換言すれば、本発明に係る電子回路モジュールの基本構成は、実質的に、電子部品装置に開示されている。用いられる半導体チップには、特に限定はない。半導体チップには、一般には、半導体素子（図示しない）または受動回路素子が含まれる。チップサイズ



パッケージ（C S P）と称される電子回路モジュールも、当然用いることができる。

#### 【 0 0 6 4 】

図 1 2 は本発明に係る電子回路モジュールの正面部分断面図である。図示された電子回路モジュールは、半導体チップ 1 0 0 と、チップ搭載基板 2 0 0 と、はんだ付け用フラックス 4 0 0 とを含む。図示された半導体チップ 1 0 0 は、下面等の適当な位置に、適当数の端子電極 1 1 0、1 2 0 が形成してあって、この端子電極 1 1 0、1 2 0 を、はんだ 2 1 0、2 2 0 によって、チップ搭載基板 2 0 0 の上のランド 2 3 0、2 4 0 に接合してある。

#### 【 0 0 6 5 】

チップ搭載基板 2 0 0 は、セラミック基板、有機樹脂基板またはそれらの組み合わせによって構成することができる。チップ搭載基板 2 0 0 の内部には、一般に、単層または複数層の導体パターン、及び、厚み方向に設けられたビヤホール等が形成されている。導体パターンは、単に、回路引き回しのために備えられる他、キャパシタまたはインダクタ等を構成するために備えられることもある。

#### 【 0 0 6 6 】

はんだ付け用フラックス 4 0 0 は、接着性樹脂と、硬化剤とを含有し、半導体チップ 1 0 0 と、チップ搭載基板 2 0 0 との間に介在し、両者を接着している。はんだ付け用フラックス 4 0 0 は接着剤として機能する。

#### 【 0 0 6 7 】

図示実施例において、はんだ付け用フラックス 4 0 0 は、半導体チップ 1 0 0 とチップ搭載基板 2 0 0 との間の隙間を、ほぼ埋めるように充填されている。

#### 【 0 0 6 8 】

既に述べたように、はんだ付け用フラックス 4 0 0 は洗浄する必要がなく、そのまま接着剤として用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子回路モジュールを得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回路モジュールを得ることができる。

## 【 0 0 6 9 】

図 1 3 は図 1 2 に示した C S P (チップサイズパッケージ) 等の電子回路モジュールのはんだ付け方法を説明する図である。このはんだ付け方法は、図 1 に示したはんだ付け方法を、電子回路モジュールのはんだ付けに適用したものに相当する。既に述べたように、接着性樹脂と、硬化剤とを含有するフラックス 4 0 0 を、予め、はんだバンプ 2 1 0、2 2 0 を形成したチップ搭載基板 2 0 0 の上に塗布する。はんだバンプ 2 1 0、2 2 0 はチップ搭載基板 2 0 0 の表面に設けられたランド 2 3 0、2 4 0 の上に形成されている。フラックス 4 0 0 の詳細は、既に述べた通りである。

## 【 0 0 7 0 】

そして、このチップ搭載基板 2 0 0 の上に半導体チップ 1 0 0 を搭載する。半導体チップ 1 0 0 は、端子電極 1 1 0、1 2 0 がはんだバンプ 2 1 0、2 2 0 上に位置するようにして、チップ搭載基板 2 0 0 上に配置する。その後、半導体チップ 1 0 0 を搭載したチップ搭載基板 2 0 0 を、リフロー炉に通炉し、半導体チップ 1 0 0 の基体 4 0 の両端に設けられた端子電極 1 1 0、1 2 0 をはんだバンプ 2 1 0、2 2 0 にはんだ接合する。これにより、図 1 2 に示した電子回路モジュールが得られる。

## 【 0 0 7 1 】

図 1 4 は本発明に係る電子回路モジュールの別の例を示す正面部分断面図である。図において、図 1 2 に図示された構成部分と同一の構成部分には、同一の参照符号を付してある。図示実施例において、はんだ付け用フラックス 4 0 0 は、半導体チップ 1 0 0 とチップ搭載基板 2 0 0 との間に介在し、はんだバンプ 2 1 0、2 2 0 の周りで、両者を接着している。

## 【 0 0 7 2 】

この場合も、はんだ付け用フラックス 4 0 0 は洗浄する必要がなく、そのまま接着剤として用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子回路モジュールを得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回



路モジュールを得ることができる。

【0073】

図15は図14に示した電子回路モジュールのはんだ付け方法を説明する図である。このはんだ付け方法は、図4～8に示したはんだ付け方法を、電子回路モジュールのはんだ付けに適用したものに相当する。既に述べた組成のはんだ粉末含有フラックス410、420を、予め、チップ搭載基板200の表面に設けられたランド230、240の上に塗布する。

【0074】

そして、このチップ搭載基板200の上に半導体チップ100を搭載する。半導体チップ100は、端子電極110、120がはんだ粉末含有フラックス410、420上に位置するようにして、チップ搭載基板200上に配置する。半導体チップ100を搭載したチップ搭載基板200を、リフロー炉に通炉し、半導体チップ100の両端に設けられた端子電極110、120をはんだ粉末含有フラックス410、420に含まれるはんだ成分によりはんだ接合する。

【0075】

接合状態では、はんだ粉末含有フラックス410、420に含まれる接着性樹脂及び硬化剤が、半導体チップ100とチップ搭載基板200との間に介在し、はんだバンプ210、220の周りで、両者を接着する。これにより、図14に示した電子回路モジュールが得られる。図15において、はんだ粉末含有フラックス410、420の量を増加させることにより、図12に図示したように、はんだ付け用フラックス400が、半導体チップ100とチップ搭載基板200との間の隙間を、ほぼ埋めるように充填した構造を実現することもできる。

【0076】

次に具体的な実施例及び比較例を挙げて説明する。

【0077】

実施例7

まず、次の組成になる熱硬化性フラックス入りのはんだペーストを調製した。

【0078】

フラックス：ビスフェノールA樹脂／無水フタル酸を質量比1対1で混合し、

溶剤を 1 0 質量% 添加したもの

はんだ粉末 : S n - 3 . 5 A g

上記はんだ粉末に対し、上記フラックスを、1 0 質量% の割合で添加した。はんだ粉末の組成はリフロー温度に応じて選択できるもので、他の組成系でもよい。また、フラックスの配合量も任意に選択できる。

#### 【 0 0 7 9 】

上述した熱硬化性フラックス入りのはんだペーストを、スクリーン印刷法により、有機系チップ搭載基板上に塗布した。スクリーン印刷に当たっては、メタルマスタ厚み 1 0 0  $\mu$  m のスクリーンを用いた。

#### 【 0 0 8 0 】

次に、予め、はんだバンプが形成されている半導体チップを有機系チップ搭載基板上に載せ、リフロー炉に通炉した。リフロー温度は、最高温度 2 4 0  $^{\circ}$  C とし、2 2 0  $^{\circ}$  C 以上の通炉時間を 3 0 秒とした。

#### 【 0 0 8 1 】

##### 比較例 7

比較のため、封止剤を用いた従来品、および、封止剤を用いない従来品を用意した。

#### 【 0 0 8 2 】

##### < 試験 >

実施例 7 に係る電子回路モジュール、及び、2 種の従来電子回路モジュールを熱衝撃試験に付した。熱衝撃試験は、( - 5 5  $^{\circ}$  C ) を 0 . 5 時間保持し、次に ( + 1 2 5  $^{\circ}$  C ) を 0 . 5 時間保持し、これを 1 サイクルとし、2 0 0 0 サイクルまで行った。その後、はんだ接続部分における直流抵抗 ( R D C ) を測定した。

#### 【 0 0 8 3 】

図 1 6 は R D C 測定結果を示すグラフである。図 1 6 において、横軸に熱衝撃サイクル ( サイクル ) を採り、縦軸に R D C (  $\Omega$  ) を採ってある。特性 L 1 1 は封止剤を用いない従来品の特性、特性 L 1 2 は封止剤を用いた従来品の特性、特性 L 1 3 は本発明に係る実施例 7 の特性である。

#### 【 0 0 8 4 】

図 1 6 において、封止剤を用いなかった従来品は、特性 L 1 1 で示されているように、1 5 0 0 サイクルを越えると、R D C が急激に増大しており、R D C が劣化している。これに対して、本発明に係る実施例 7 は、特性 L 1 3 で示されるように、2 0 0 0 サイクルを経過しても R D C の劣化は見られなかった。これは、封止剤を用いた従来品の特性 L 1 2 と同等の特性である。

## 【 0 0 8 5 】

## ＜電子回路装置＞

本発明に係る電子回路装置は、既に述べた電子部品装置との対比において、電子部品が、電子回路モジュールに置き換わる点、及び、部品搭載基板がマザー基板に置き換わる点を除けば、本質的に異なる点はない。換言すれば、本発明に係る電子回路装置の基本構成は、実質的に、電子部品装置に開示されている。

## 【 0 0 8 6 】

図 1 7 は本発明に係る電子回路装置の正面部分断面図である。図示された電子回路装置は、電子回路モジュール 3 0 0 と、マザー基板 5 0 0 と、はんだ付け用フラックス 6 0 0 とを含む。

## 【 0 0 8 7 】

電子回路モジュール 3 0 0 は、従来タイプの電子回路モジュールを用いることもできるが、好ましくは、図 1 2、1 4 に示した構造のものを用いる。電子回路モジュール 3 0 0 は、下面等の適当な位置に、適当数の端子電極 2 5 0、2 6 0 が形成してあって、この端子電極 2 5 0、2 6 0 を、はんだバンプ 5 1 0、5 2 0 によって、マザー基板 5 0 0 の上のランド 5 3 0、5 4 0 に接合してある。

## 【 0 0 8 8 】

マザー基板 2 0 0 は、セラミック基板、有機樹脂基板またはそれらの組み合わせによって構成することができる。マザー基板 5 0 0 の内部には、単層または複数層の導体パターン、及び、厚み方向に設けられたビヤホール等が形成されることがある。導体パターンは、単に、回路引き回しのために備えられる他、キャパシタまたはインダクタ等を構成するために備えられることもある。

## 【 0 0 8 9 】

はんだ付け用フラックス 6 0 0 は、接着性樹脂と、硬化剤とを含有し、電子回

路モジュール 3 0 0 と、マザー基板 5 0 0 との間に介在し、両者を接着している。はんだ付け用フラックス 6 0 0 は、接着剤として機能する。図示実施例において、はんだ付け用フラックス 6 0 0 は、電子回路モジュール 3 0 0 とマザー基板 5 0 0 との間の隙間を、ほぼ埋めるように充填されている。

#### 【 0 0 9 0 】

はんだ付け用フラックス 6 0 0 は洗浄する必要がなく、そのまま接着剤として用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子回路装置を得ることができる。しかも、はんだ付け用フラックスは、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回路装置を得ることができる。

#### 【 0 0 9 1 】

図 1 8 は図 1 7 に示した電子回路装置のはんだ付け方法を説明する図である。このはんだ付け方法は、図 1 に示したはんだ付け方法を、電子回路装置のはんだ付けに適用したものに相当する。既に述べたように、接着性樹脂と、硬化剤とを含有するフラックス 6 0 0 を、予め、はんだバンプ 5 1 0、5 2 0 を形成したマザー基板 5 0 0 の上に塗布する。フラックス 6 0 0 ははんだ粉末を含有しない。

#### 【 0 0 9 2 】

はんだバンプ 5 1 0、5 2 0 はマザー基板 5 0 0 の表面に設けられたランド 5 3 0、5 4 0 の上に形成されている。そして、このマザー基板 5 0 0 の上に電子回路モジュール 3 0 0 を搭載する。電子回路モジュール 3 0 0 は、端子電極 2 5 0、2 6 0 がはんだバンプ 5 1 0、5 2 0 上に位置するようにして、マザー基板 5 0 0 上に配置する。電子回路モジュール 3 0 0 を搭載したマザー基板 5 0 0 を、リフロー炉に通炉し、電子回路モジュール 3 0 0 の端子電極 2 5 0、2 6 0 をはんだバンプ 5 1 0、5 2 0 にはんだ接合する。これにより、図 1 7 に示した電子回路装置が得られる。

#### 【 0 0 9 3 】

図 1 9 は本発明に係る電子回路装置の別の例を示す正面部分断面図である。図において、図 1 7 に図示された構成部分と同一の構成部分には、同一の参照符号

を付してある。図示実施例において、はんだ付け用フラックス 6 0 0 は、電子回路モジュール 3 0 0 とマザー基板 5 0 0 との間に介在し、はんだバンプ 5 1 0、5 2 0 の周りで、両者を接着している。

【 0 0 9 4 】

この場合も、はんだ付け用フラックス 6 0 0 は洗浄する必要がなく、そのまま接着剤として用いることができる。従って、フラックス洗浄工程を必要とせず、製造コストの安価な電子回路装置を得ることができる。しかも、はんだ付け用フラックス 6 0 0 は、はんだ粉末を含む他、接着性樹脂と、硬化剤とを含有しており、接着剤として機能するから、はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子回路装置を得ることができる。

【 0 0 9 5 】

図 2 0 は図 1 9 に示した電子回路装置のはんだ付け方法を説明する図である。このはんだ付け方法は、図 4 ～ 8 に示したはんだ付け方法を、電子回路装置のはんだ付けに適用したものに相当する。既に述べた組成にて調製したはんだ粉末含有フラックス 6 1 0、6 2 0 を、予め、マザー基板 5 0 0 の表面に設けられたランド 5 3 0、5 4 0 の上に塗布する。そして、このマザー基板 5 0 0 の上に電子回路モジュール 3 0 0 を搭載する。電子回路モジュール 3 0 0 は、端子電極 2 5 0、2 6 0 がはんだ粉末含有フラックス 6 1 0、6 2 0 上に位置するようにして、マザー基板 5 0 0 上に配置する。

【 0 0 9 6 】

次に、電子回路モジュール 3 0 0 を搭載したマザー基板 5 0 0 を、リフロー炉に通炉し、電子回路モジュール 3 0 0 に設けられた端子電極 2 5 0、2 6 0 をはんだ粉末含有フラックス 6 1 0、6 2 0 に含まれるはんだ成分によりはんだ接合する。はんだ粉末含有フラックス 6 1 0、6 2 0 に含まれる接着性樹脂及び硬化剤が、電子回路モジュール 3 0 0 とマザー基板 5 0 0 との間に介在し、はんだバンプ 5 1 0、5 2 0 の周りで、両者を接着する。これにより、図 1 9 に示した電子回路装置が得られる。図 2 0 において、はんだ粉末含有フラックス 6 1 0、6 2 0 の量を増加させることにより、図 1 7 に図示したように、はんだ付け用フラックス 6 0 0 が、電子回路モジュール 3 0 0 とマザー基板 5 0 0 との間の隙間を



、ほぼ埋めるように充填した構造を実現することもできる。

【 0 0 9 7 】

次に具体的な実施例を挙げて説明する。

【 0 0 9 8 】

#### 実施例 8

まず、次の組成になる熱硬化性フラックス入りのはんだペーストを調製した。

【 0 0 9 9 】

フラックス：ビスフェノール A 樹脂／無水フタル酸を質量比 1 対 1 で混合し、  
溶剤を 1 0 質量％添加したもの

はんだ粉末：S n - 3 . 5 A g

上記はんだ粉末に対し、上記フラックスを、1 0 質量％の割合で添加した。はんだ粉末の組成はリフロー温度に応じて選択できるもので、他の組成系でもよい。また、フラックスの配合量も任意に選択できる。

【 0 1 0 0 】

マザー基板としては、有機系マザー基板を用いた。電子回路モジュールは、有機系のチップ搭載基板を用い、その上に半導体チップを搭載したものをを用いた。有機系チップ搭載基板の下面に備えられた端子電極の表面には、有機系マザー基板とはんだ付けが可能なように、A u めっき処理を施した。

【 0 1 0 1 】

上述した熱硬化性フラックス入りのはんだペーストを、スクリーン印刷法により、有機系チップ搭載基板上に塗布した。スクリーン印刷に当たっては、メタルマスタ厚み 1 0 0  $\mu$  m のスクリーンを用いた。

【 0 1 0 2 】

次に、電子回路モジュールを、有機系マザー基板上に載せ、リフロー炉に通炉した。リフロー温度は、最高温度 2 4 0  $^{\circ}$  C とし、2 2 0  $^{\circ}$  C 以上の通炉時間を 3 0 秒とした。

【 0 1 0 3 】

#### 実施例 9

電子回路モジュールのチップ搭載基板を、セラミック基板とした他は、実施例

8と同様にして、電子回路装置を製造した。

【0104】

#### 比較例 8

電子回路モジュールのチップ搭載基板を有機系材料によって構成し、この電子回路モジュールを、従来のフラックスを用いて、有機系マザー基板にはんだ付けした。有機系チップ搭載基板の下面に備えられた端子電極の表面には、有機系マザー基板とはんだ付けが可能なように、Auめっき処理を施した。

【0105】

#### 比較例 9

電子回路モジュールのチップ搭載基板をセラミック材料によって構成し、この電子回路モジュールを、従来のフラックスを用いて、有機系マザー基板にはんだ付けした。セラミック系チップ搭載基板の下面に備えられた端子電極の表面には、有機系マザー基板とはんだ付けが可能なように、Auめっき処理を施した。

【0106】

#### <試験>

実施例 8、9に係る電子回路モジュール、及び、比較例 8、9に係る従来電子回路モジュールを熱衝撃試験に付した。熱衝撃試験は、(-55℃)を0.5時間保持し、次に(+125℃)を0.5時間保持し、これを1サイクルとし、2000サイクルまで行った。その後に、はんだ接続部分における直流抵抗(RDC)を測定した。

【0107】

図 21 は RDC 測定結果を示すグラフである。図 21 において、横軸に熱衝撃サイクル(サイクル)を採り、縦軸に RDC ( $\Omega$ ) を採ってある。特性 L 21 は比較例 9 の特性、特性 L 22 は実施例 8、9 及び比較例 8 の特性である。

【0108】

図 21 において、電子回路モジュールのチップ搭載基板がセラミック材料であり、マザー基板が有機材料でなる比較例 9 は、特性 L 21 で示されているように、1000サイクルを越えると、RDC が急激に増大し、RDC が劣化する。これに対して、本発明に係る実施例 8、9 は、特性 L 22 で示されるように、20



00サイクルを経過してもRDCの劣化は見られなかった。特に、実施例9の特性L22と、比較例9の特性L21との対比から明らかなように、電子回路モジュールのチップ搭載基板を、セラミック基板とし、マザー基板を有機樹脂基板とした場合、従来は著しいRDCの劣化を招いていた（特性L21参照）が、本発明によれば、このような基板の組み合わせにおいても、RDCの劣化を阻止できる（特性L22参照）という優れた効果が得られる。

## 【0109】

上述したように、本発明では、フラックスに含まれる接着性樹脂を利用して、電子部品を部品搭載基板に接着する。この後、電子部品と部品搭載基板とが接着された状態で、はんだ付けの状態を検査する検査工程に付される。はんだ付け不良の場合、部品搭載基板から電子部品を取り外し、その電子部品を、再度、部品搭載基板にはんだ付けしたい。もし、部品搭載基板から電子部品を取り外すことができないならば、電子部品及び部品搭載基板は、廃棄することになり、コストの増大または歩留まりの低下を招く。そこで、本発明のフラックス及びはんだペーストは、はんだ付けの後で部品搭載基板から電子部品を取り外すことのできるものであることが好ましい。

## 【0110】

また、最近、地球環境保全の立場から、Pbを含有しないはんだ（Pbフリーはんだ）が導入されつつあり、様々な組成のはんだ成分が利用されるようになっている。はんだ成分は、その組成により、融点が異なるので、利用するはんだ成分の組成に応じて、様々な値のリフロー温度を設定しなければならない。このため、設定される任意のリフロー温度に応じて接着性樹脂を硬化できる技術が必要である。

## 【0111】

ここでは、電子部品を、部品搭載基板にはんだ付けする場合を例にとって説明したが、半導体チップをチップ搭載基板にはんだ付けする場合、及び、電子回路モジュールをマザー基板にはんだ付けする場合も同様である。

## 【0112】

次に、上述した問題点を解決するフラックス及びはんだペーストの構成を開示

する。まず、フラックスにおいて、硬化剤は、少なくとも2種のカルボン酸を含み、これらのカルボン酸は、互いに異なる融点を有する。融点の低いカルボン酸は、リフロー温度で硬化剤として機能する。また、融点の高いカルボン酸は、リフロー温度より高いリペア温度で接着性樹脂の粘度を低下させる。

#### 【0113】

フラックスの温度を、リペア温度前後に上昇させると、融点の高いカルボン酸も溶融し、接着性樹脂の粘度が低下するので、部品搭載基板から電子部品を取り外すことができる。従って、接着機能を保持しながら、従来のロジンフラックスと同様に電子部品をリペアすることができる。このような組成の接着性フラックスは、電子回路モジュール等の高価な大型パッケージ品をはんだ付けする場合、特に有益である。

#### 【0114】

しかも、互いに融点の異なるカルボン酸を混合することにより、接着性樹脂の熱硬化温度を変えることができる。従って、任意のリフロー温度で接着性樹脂を硬化できるようになり、利用するはんだ成分の融点に合わせてリフロー温度を変更できるようになる。

#### 【0115】

更に、混合するカルボン酸の組み合わせまたは混合比を変更することによっても、接着性樹脂の熱硬化温度を変えることができ、同様な作用及び効果が得られる。

#### 【0116】

次に、はんだペーストは、上述の構成のフラックスと、はんだ粉末とを含む。従って、このはんだペーストも、上述の構成のフラックスと同様な作用及び効果を得られる。

#### 【0117】

上述した作用及び効果を、実験を参照して具体的に説明する。まず、リペア性に優れたフラックス及びはんだペーストを得るため、次のような実験1を行った。

#### 【0118】

# 実験 1 : 複数種のカルボン酸の組み合わせによるリペア性の獲得

熱硬化性樹脂としてビスフェノール A を用いた。硬化剤としては、2 種類のカルボン酸、具体的には、アジピン酸とピメリット酸とを用いた。アジピン酸及びピメリット酸はカルボン酸の範疇に含まれる。アジピン酸とピメリット酸とは、融点が互いに異なる。具体的には、アジピン酸の融点は 1 5 3 ℃、ピメリット酸の融点は 2 7 9 ℃である。ビスフェノール A とアジピン酸とピメリット酸とを、下記の表 2 に示す配合比（質量％）で配合し、サンプル 1 ～ 4 のフラックスを調製した。サンプル 1 ～ 4 のフラックスは、アジピン酸の含有率を a （質量％）とし、ピメリット酸の含有率を b （質量％）としたとき、

$$a : b = (50 : 50) \sim (95 : 5) \quad (\text{但し } a + b = 100)$$

の範囲で変化させてある。また、ビスフェノール A とアジピン酸とを、下記の表 2 に示す配合比（質量％）で配合し、サンプル 5 のフラックスを調製した。

表 2

		サンプル1	サンプル2	サンプル3	サンプル4	サンプル5
配合比 (質量％)	ビス フェノール A	1	1	1	1	1
	アジピン酸	0.5	0.75	0.85	0.95	1
	ピメリット酸	0.5	0.25	0.15	0.05	0

## 【 0 1 1 9 】

次に、調製した各サンプル 1 ～ 5 のフラックスに、はんだ粉末を混合し、はんだペーストを調製した。はんだ粉末としては S n - 3 . 5 A g を用いた。はんだ粉末の組成はリフロー温度に応じて選択できるもので、他の組成系でもよい。また、はんだ粉末に対するフラックスの配合量は 2 5 質量％とした。フラックスの配合量も任意に選択できる。

## 【 0 1 2 0 】

上記組成において製作したはんだペーストを用いて、マザー基板上に電子回路モジュールをはんだ付けした。図 2 2 ～ 図 2 5 は、マザー基板に対する電子回路モジュールのはんだ付け工程を示す正面部分断面図である。図において、図 1 9

に図示された構成部分と同一の構成部分には、同一の参照符号を付してある。

#### 【0 1 2 1】

図 2 2 に示すように、マザー基板 5 0 0 の表面には、ランド 5 3 0、5 4 0 が設けられている。マザー基板 5 0 0 は、セラミック基板、有機樹脂基板またはそれらの組み合わせによって構成することができる。図示のマザー基板 5 0 0 は、有機樹脂基板でなる。

#### 【0 1 2 2】

図 2 3 に示すように、マザー基板 5 0 0 のランド 5 3 0、5 4 0 の上に、実施例 1 0 のはんだペースト 6 1 0、6 2 0 を塗布した。はんだペースト 6 1 0、6 2 0 の塗布に当たっては、メタルマスクを用いて印刷した。

#### 【0 1 2 3】

そして、図 2 4 に示すように、マザー基板 5 0 0 の上に電子回路モジュール 3 0 0 を搭載した。図示の電子回路モジュール 3 0 0 は、図 1 2 に図示された電子回路モジュールと同様な構成である。電子回路モジュール 3 0 0 は、L G A 構造品と称される C S P (チップサイズパッケージ) の電子回路モジュールである。電子回路モジュール 3 0 0 のチップ搭載基板 2 0 0 はセラミック基板でなる。図 2 4 に示すように、電子回路モジュール 3 0 0 は、端子電極 2 5 0、2 6 0 がはんだペースト 6 1 0、6 2 0 上に位置するようにして、マザー基板 5 0 0 上に配置した。

#### 【0 1 2 4】

次に、電子回路モジュール 3 0 0 を搭載したマザー基板 5 0 0 を、リフロー炉に通炉し、電子回路モジュール 3 0 0 に設けられた端子電極 2 5 0、2 6 0 をはんだペースト 6 1 0、6 2 0 に含まれるはんだ成分によりはんだ接合した。はんだペースト 6 1 0、6 2 0 に含まれる接着性樹脂及び硬化剤が、電子回路モジュール 3 0 0 とマザー基板 5 0 0 との間に介在し、はんだバンプ 5 1 0、5 2 0 の周りで、両者を接着する。これにより、図 2 5 に示すように、本発明に係る電子回路装置が得られる。図 2 5 において、参照符号 6 0 0 は、はんだペースト 6 1 0 (6 2 0) に含まれていた実施例 1 0 のフラックスを示し、端子電極 2 5 0、2 6 0 の外側でフィレット状になる。

## 【 0 1 2 5 】

上述したように、フラックス 6 0 0 は、接着性樹脂と、硬化剤とを含んでいる。硬化剤は、アジピン酸と、ピメリット酸とを含み、アジピン酸と、ピメリット酸は、互いに異なる融点を有する。融点の低いアジピン酸は、リフロー温度で硬化剤として機能する。融点の高いピメリット酸は、リフロー温度より高いリペア温度で接着性樹脂の粘度を低下させる。

## 【 0 1 2 6 】

以下、具体的に、サンプル 1 ～ 5 のフラックスについて述べる。サンプル 5 のフラックスを用いた場合、リフロー炉に通炉することにより、フラックスに含まれるアジピン酸が溶融し、はんだが溶融した。この結果、マザー基板のランドと、電子回路モジュールの端子電極とが接合された。

## 【 0 1 2 7 】

サンプル 1、2 のフラックスを用いた場合、リフロー炉に通炉しても、フラックスに含まれるピメリット酸の硬化が進行し、はんだが溶融しなかった。このため、マザー基板のランドと電子回路モジュールの端子電極とが接合されなかった。

## 【 0 1 2 8 】

サンプル 3、4 のフラックスを用いた場合、リフロー炉に通炉することにより、フラックス 6 0 0 に含まれるアジピン酸が溶融し、はんだが溶融した。この結果、マザー基板 5 0 0 のランド 5 3 0、5 4 0 と、電子回路モジュール 3 0 0 の端子電極 2 5 0、2 6 0 とが接合された。

## 【 0 1 2 9 】

図 2 6、図 2 7 は、マザー基板から電子回路モジュールを取り外す工程を示す正面部分断面図である。図 2 6 に示すようにフラックス 6 0 0 に熱風を吹き込み、フラックス 6 0 0 の温度を、リペア温度前後に上昇させると、融点の高いピメリット酸が溶融し、接着性樹脂の粘度が低下する。このため、図 2 7 に示すように、マザー基板 5 0 0 から電子回路モジュール 3 0 0 を取り外すことができる。

## 【 0 1 3 0 】

従って、接着機能を保持しながら、従来のロジンフラックスと同様に電子回路



モジュール 3 0 0 をリペアすることができる。かような組成の接着性フラックスは、大型パッケージ等の高価な電子回路モジュール 3 0 0 をはんだ付けする場合、特に有効である。また、この接着性フラックスのリペア工法は、従来はんだ付けのリペア工法と同じ作業レベルで実行できる。

## 【 0 1 3 1 】

以下、具体的に述べる。サンプル 1 ～ 5 のフラックスのうち、リフロー実装できたサンプル 3 ～ 5 のフラックスに対してリペア実験を行った。リペア実験では、電子回路モジュール 3 0 0 のチップ搭載基板 2 0 0 と、マザー基板 5 0 0 との接合部に 3 0 0 ℃前後の熱風を吹き込んだ。

## 【 0 1 3 2 】

サンプル 5 のフラックスは、電子回路モジュールのチップ搭載基板と、マザー基板とを接着しており、一度軟化したが、熱風により再び硬化した。このため、マザー基板から電子回路モジュールを引き剥がすことはできなかった。

## 【 0 1 3 3 】

サンプル 3、4 のフラックス 6 0 0 を用いた場合、電子回路モジュール 3 0 0 のチップ搭載基板 2 0 0 と、マザー基板 5 0 0 との接合部に熱風を吹き込むと、フラックス 6 0 0 に含まれるピメリット酸が再溶融し、マザー基板 5 0 0 から電子回路モジュール 3 0 0 を引き剥がすことができた。

## 【 0 1 3 4 】

よって、はんだ付けされた電子回路モジュール 3 0 0 をリペアするためには、接着性樹脂硬化用のアジピン酸の他に、リペア温度付近に融点を有するピメリット酸を混合しておけばよい。リペア温度で、そのピメリット酸を溶融させると、接着性樹脂の粘度が低下する。このため、マザー基板 5 0 0 上にはんだ付けされた電子回路モジュール 3 0 0 を、マザー基板 5 0 0 から取り外し、リペアすることができる。

## 【 0 1 3 5 】

上述した実験 1 の結果によれば、好ましくは、接着性樹脂硬化用のアジピン酸に、リペア用のピメリット酸を 1 5 質量% ～ 5 質量% 添加すればよい。言い換えれば、アジピン酸の含有率 a (質量%) と、ピメリット酸の含有率 b (質量%)

とについて、

$$a : b = (85 : 15) \sim (95 : 5) \quad (\text{但し } a + b = 100)$$

を満たせばよい。

#### 【0136】

実験1で調製したフラックスは、はんだ粉末と混合され、混合により得られたはんだペーストを用いてはんだ付けを行っている。これと異なり、はんだバンプを施した基板上に実験1のフラックスを塗布してはんだ付けを行っても、同様な作用及び効果が得られる。

#### 【0137】

本発明に係る電子部品装置は、既に述べた電子回路装置との対比において、電子回路モジュールが、電子部品に置き換わる点、及び、マザー基板が部品搭載基板に置き換わる点を除けば、本質的に異なる点はない。換言すれば、本発明に係る電子部品装置の基本構成は、実質的に、電子回路装置に開示されている。

#### 【0138】

同様に、本発明に係る電子回路モジュールは、既に述べた電子回路装置との対比において、電子回路モジュールが、半導体チップに置き換わる点、及び、マザー基板がチップ搭載基板に置き換わる点を除けば、本質的に異なる点はない。換言すれば、本発明に係る電子回路モジュールの基本構成は、実質的に、電子回路装置に開示されている。

#### 【0139】

次に、リフロー温度を変更するため、次のような実験2～5を行った。まず、実験2では、硬化剤として一種のカルボン酸のみを配合してフラックスを調製し、フラックスの熱硬化物性を調べた。

#### 【0140】

実験2：一種のカルボン酸のみを配合したフラックスの熱硬化物性

熱硬化性樹脂としてビスフェノールAを用いた。硬化剤としては、下記の表3に示すように、アジピン酸、マレイン酸、コハク酸またはピメリット酸の1つを用いた。熱硬化性樹脂と、上述の硬化剤とを質量比1：1の割合で配合し、フラックスを調製した。そして、調製したフラックスを2g、Cu板上に塗布し、2



40℃のリフロー炉に通炉し、皮膜の挙動を比較した。

表 3

	サンプル11	サンプル12	サンプル13	サンプル14
熱硬化性樹脂	ビスフェノールA	ビスフェノールA	ビスフェノールA	ビスフェノールA
硬化剤	アジピン酸	マレイン酸	コハク酸	ピメリット酸
硬化剤の融点	153℃	133℃	188℃	279℃
皮膜挙動	ゲル化	常温硬化	硬化	硬化

## 【0141】

表3に示すように、サンプル11、12のフラックスでは、皮膜が、ゲル化したり、常温で硬化したりするので適当でない。これらに対し、サンプル13、14のフラックスでは、皮膜がリフロー通炉により硬化し、良好な結果が得られた。

## 【0142】

サンプル11～14のフラックスにおいて、硬化の進み具合を比較する。硬化剤の融点が高いと熱硬化が進み、アジピン酸を硬化剤としたフラックス（サンプル11）の硬化が最も遅い。硬化剤としてアジピン酸とコハク酸を混合した場合、コハク酸の配合比を増やすにつれ、より硬い硬化皮膜が得られる。

## 【0143】

上述の実験2を踏まえ、アジピン酸とコハク酸とを混合してリフロー温度の変更を試みた。

## 【0144】

実験3：複数種のカルボン酸の混合によるリフロー温度の変更

熱硬化性樹脂としてビスフェノールAを用いた。硬化剤としては、2種類のカルボン酸、具体的には、アジピン酸とコハク酸とを用いた。アジピン酸及びコハク酸はカルボン酸の範疇に含まれる。アジピン酸とコハク酸とは、融点が互いに異なる。具体的には、アジピン酸の融点は153℃、コハク酸の融点は188℃である。ビスフェノールAとアジピン酸とコハク酸とを、質量比1：0.5：0.5の割合で配合し、フラックスを調製した。

## 【 0 1 4 5 】

次に、調製したフラックスと、はんだ粉末とを混合し、はんだペーストを調製した。はんだ粉末としては  $S n - 3 . 5 A g$  を用い、はんだ粉末に対するフラックスの配合量は 1 5 質量%とした。以下、このはんだペーストを、サンプル 2 2 のはんだペーストと呼ぶ。はんだ粉末の組成はリフロー温度に応じて選択できるもので、他の組成系でもよい。フラックスの配合量も任意に選択できる。

## 【 0 1 4 6 】

また、ビスフェノール A とアジピン酸とを、質量比 1 : 1 の割合で配合し、フラックスを調製した。そして、調製したフラックスと、はんだ粉末とを混合し、はんだペーストを調製した。サンプル 2 2 のはんだペーストと同様に、はんだ粉末としては  $S n - 3 . 5 A g$  を用い、はんだ粉末に対するフラックスの配合量は 1 5 質量%とした。以下、このはんだペーストを、サンプル 2 1 のはんだペーストと呼ぶ。

## 【 0 1 4 7 】

図 2 8 は、サンプル 2 1、2 2 のはんだペーストを用いてコンデンサをはんだ付けした場合について、リフロー温度と部品横押し強度との関係を示す図である。試験用のコンデンサとして、1 0 0 5 サイズの S T D 端子コンデンサと、1 0 0 5 サイズの C S B 端子コンデンサとの 2 種類を用いた。S T D 端子コンデンサとは、コンデンサ素体の両側面に端子を形成したコンデンサである。C S B 端子コンデンサとは、コンデンサ素体の底面の両端に端子を形成したコンデンサである。

## 【 0 1 4 8 】

図 2 8 において、特性 L 3 1 は S T D 端子コンデンサにサンプル 2 1 のはんだペーストを用いた場合の特性、特性 L 3 2 は S T D 端子コンデンサにサンプル 2 2 のはんだペーストを用いた場合の特性、特性 L 4 1 は C S B 端子コンデンサにサンプル 2 1 のはんだペーストを用いた場合の特性、特性 L 4 2 は C S B 端子コンデンサにサンプル 2 2 のはんだペーストを用いた場合の特性である。部品横押し強度は、前述の図 2 に示した方法に従って測定した。

## 【 0 1 4 9 】

図 2 8 に示すように、S T D 端子コンデンサをはんだ付けする場合、サンプル 2 2 のはんだペースト（特性 L 3 2 参照）は、サンプル 2 1 のはんだペースト（特性 L 3 1 参照）よりも低いリフロー温度で同程度の部品横押し強度を得られた。

#### 【 0 1 5 0 】

また、C S B 端子コンデンサをはんだ付けする場合、サンプル 2 2 のはんだペースト（特性 L 4 2 参照）は、サンプル 2 1 のはんだペースト（特性 L 4 1 参照）よりも低いリフロー温度で同程度の部品横押し強度を得られた。例えば、部品横押し強度として 0. 9 k g 必要であると仮定すると、サンプル 2 1 のはんだペースト（特性 L 4 1 参照）の場合、2 2 4 ~ 2 3 0 ° C のリフロー温度を必要とするが、サンプル 2 2 のはんだペースト（特性 L 4 2 参照）の場合、2 1 7 ~ 2 2 1 ° C のリフロー温度で済む。

#### 【 0 1 5 1 】

以上述べたように、互いに融点の異なるカルボン酸（アジピン酸とコハク酸）を混合することにより、接着性樹脂（ビスフェノール A）の熱硬化温度を変えることができる。従って、任意のリフロー温度で接着性樹脂（ビスフェノール A）を硬化できるようになり、利用するはんだ成分の融点に合わせてリフロー温度を変更できるようになる。リフロー温度は一定の値に固定せずに済むようになる。

#### 【 0 1 5 2 】

更に、混合するカルボン酸の組み合わせ（アジピン酸及びコハク酸）を変更することによっても、接着性樹脂（ビスフェノール A）の熱硬化温度を変えることができ、同様な作用及び効果が得られる。例えば、アジピン酸とコハク酸との組み合わせを、アジピン酸とピメリット酸との組み合わせに変更すると、接着性樹脂（ビスフェノール A）の熱硬化温度が変わる。

#### 【 0 1 5 3 】

次に、混合するカルボン酸（アジピン酸とコハク酸）の混合比を調整して、リフロー温度の変更を試みた。

#### 【 0 1 5 4 】

実験 4 : カルボン酸の混合比の調整によるリフロー温度の変更

熱硬化性樹脂としてビスフェノールAを用いた。硬化剤としては、アジピン酸とコハク酸とを用いた。ビスフェノールAとアジピン酸とコハク酸とを、下記の表4に示す配合比（質量％）で配合し、フラックスを調製した。これらのフラックスは、アジピン酸の含有率をa（質量％）とし、コハク酸の含有率をc（質量％）としたとき、

$$a : c = (100 : 0) \sim (0 : 100) \quad (\text{但し } a + c = 100)$$

の範囲で変化させてある。

【0155】

次に、調製した各フラックスにはんだ粉末を混合し、サンプル50～55のはんだペーストを調製した。はんだ粉末としては、共晶はんだ（Sn63-Pb37）の粉末を用いた。はんだ粉末に対するフラックスの配合量は15質量％とした。はんだ粉末の組成はリフロー温度に応じて選択できるもので、他の組成系でもよい。フラックスの配合量も任意に選択できる。

表 4

		サンプル50	サンプル51	サンプル52	サンプル53	サンプル54	サンプル55
配合比 (質量％)	ビスフェノールA	1	1	1	1	1	1
	アジピン酸	1	0.95	0.75	0.50	0.25	0
	コハク酸	0	0.05	0.25	0.50	0.75	1
はんだ粉末		共晶はんだ粉末	共晶はんだ粉末	共晶はんだ粉末	共晶はんだ粉末	共晶はんだ粉末	共晶はんだ粉末
はんだ付け結果		OK	OK	OK	OK	OK	NG

【0156】

表4に示すように、サンプル50のはんだペーストは、はんだ付けにおいて端子を良好に接続できた。しかし、サンプル50のはんだペーストは、硬化剤としてアジピン酸しか含んでいないので、接着性樹脂（ビスフェノールA）の熱硬化温度を変えることができず、リフロー温度を変更できない。

【0157】

また、サンプル 5 5 のはんだペーストは、はんだが溶融する前にフラックスが硬化してしまい、端子を接合できなかった。

## 【 0 1 5 8 】

これに対し、サンプル 5 1 ～ 5 4 のはんだペーストは、それぞれ、はんだ付けにおいて端子を良好に接続できた。

## 【 0 1 5 9 】

図 3 2 は、サンプル 5 0 ～ 5 4 のはんだペーストを用いてコンデンサをはんだ付けした場合について、リフロー温度と部品横押し強度との関係を示す図である。試験用のコンデンサとしては、1 0 0 5 サイズの S T D 端子コンデンサを用いた。図 2 9 において、特性 L 5 0 ～ L 5 4 は、それぞれ、サンプル 5 0 ～ 5 4 のはんだペーストを用いた場合の特性である。

## 【 0 1 6 0 】

コハク酸の配合率を増大させることにより、低いリフロー温度でも、必要な部品横押し強度を確保することができる。例えば、部品横押し強度として 1 . 4 k g 必要であると仮定すると、サンプル 5 2 のはんだペースト（特性 L 5 2 参照）は、2 3 0 ℃ のリフロー温度を必要とする。これに対し、サンプル 5 3 のはんだペースト（特性 L 5 3 参照）は、上述のサンプル 5 2 よりもコハク酸の配合率を増大させてあるので、2 1 0 ℃ のリフロー温度で済む。

## 【 0 1 6 1 】

以上述べたように、混合するカルボン酸（アジピン酸とコハク酸）の混合比を変更することにより、接着性樹脂（ビスフェノール A）の熱硬化温度を変えることができる。従って、任意のリフロー温度で接着性樹脂（ビスフェノール A）を硬化できるようになり、利用するはんだ成分の融点に合わせてリフロー温度を変更できるようになる。リフロー温度は一定の値に固定せずに済むようになる。

## 【 0 1 6 2 】

上述した実験 4 の結果によれば、はんだ成分として共晶はんだ（S n 6 3 - P b 3 7）を用いる場合、硬化剤としてアジピン酸及びコハク酸を配合するとき、アジピン酸の含有率 a（質量％）と、コハク酸の含有率 c（質量％）とについて



$a : c = (95 : 5) \sim (25 : 75)$  (但し  $a + c = 100$ )

を満たすのが好ましい。

【 0 1 6 3 】

実験 4 では、はんだ成分として共晶はんだ (Sn 63 - Pb 37) を用いている。共晶はんだ (Sn 63 - Pb 37) の融点は 183℃である。

【 0 1 6 4 】

かような実験 4 と異なり、はんだ成分として Sn - 3.5 Ag はんだを用いた実験 (以下実験 5 と称する) を説明する。Sn - 3.5 Ag はんだの融点は 217℃であり、共晶はんだ (Sn 63 - Pb 37) の融点 183℃よりもかなり高い。

【 0 1 6 5 】

実験 5 : フラックスと組み合わせられるはんだ成分の変更

ビスフェノール A とアジピン酸とコハク酸とを、下記の表 5 に示す配合比 (質量%) で配合し、フラックスを調製した。これらのフラックスは、アジピン酸の含有率を  $a$  (質量%) とし、コハク酸の含有率を  $c$  (質量%) としたとき、

$a : c = (100 : 0) \sim (0 : 100)$  (但し  $a + c = 100$ )

の範囲で変化させてある。

【 0 1 6 6 】

次に、調製した各フラックスにはんだ粉末を混合し、サンプル 70 ~ 75 のはんだペーストを調製した。はんだ粉末としては、Sn - 3.5 Ag はんだ粉末を用いた。はんだ粉末に対するフラックスの配合量は 15 質量%とした。

表 5

		サンプル70	サンプル71	サンプル72	サンプル73	サンプル74	サンプル75
配合比 (質量%)	ビスフェノールA	1	1	1	1	1	1
	アジピン酸	1	0.95	0.75	0.50	0.25	0
	コハク酸	0	0.05	0.25	0.50	0.75	1
はんだ粉末		Sn-3.5Ag はんだ粉末	Sn-3.5Ag はんだ粉末	Sn-3.5Ag はんだ粉末	Sn-3.5Ag はんだ粉末	Sn-3.5Ag はんだ粉末	Sn-3.5Ag はんだ粉末
はんだ付け結果		OK	OK	NG	NG	NG	NG

## 【0167】

表5に示すように、サンプル72～75のはんだペーストは、それぞれ、はんだが溶融する前にフラックスが硬化してしまい、端子を接合できなかった。

## 【0168】

また、サンプル70、71のはんだペーストは、それぞれ、はんだ付けにおいて端子を良好に接続できた。

## 【0169】

上述した実験5の結果によれば、はんだ成分としてSn-3.5Agはんだを用いる場合、硬化剤としてアジピン酸及びコハク酸を配合するとき、アジピン酸の含有率a(質量%)と、コハク酸の含有率c(質量%)とについて、

$$a : c = (100 : 0) \sim (95 : 5) \quad (\text{但し } a + c = 100)$$

を満たすのが好ましい。

## 【0170】

上述した実験3～5では、フラックスを、はんだ粉末に混合し、混合により得られたはんだペーストを用いてはんだ付けを行っている。これと異なり、はんだバンプを施した基板上にフラックスを塗布してはんだ付けを行っても、同様な作用及び効果が得られる。

## 【0171】

実験3～5で調製したはんだペーストを利用しても、図25に図示された電子

回路装置と同様な電子回路装置を構成できることは自明である。勿論、実験 3 ～ 5 のはんだペーストを利用して電子部品装置及び電子回路モジュールを構成することもできる。

#### 【0172】

また、硬化剤として、互いに熱硬化速度の異なるカルボン酸を混合すると、接着性樹脂の熱硬化速度を変えることができる。従って、利用するはんだ成分に合わせてリフロー時間またはリフロー温度を変更できるようになる。例えば、アジピン酸とコハク酸の場合、コハク酸の熱硬化に必要な熱量は、アジピン酸の熱硬化に必要な熱量よりも少ないので、コハク酸の熱硬化速度は、アジピン酸の熱硬化速度よりも速い。従って、硬化剤としてアジピン酸とコハク酸とを混合すると、接着性樹脂（ビスフェノール A）の熱硬化速度を変更でき、リフロー時間またはリフロー温度を変更できる。他のカルボン酸の組み合わせ、例えば、アジピン酸とピメリット酸の場合も同様である。

#### 【0173】

更に、混合するカルボン酸の組み合わせまたは混合比を変更することによっても、接着性樹脂の熱硬化速度を変えることができ、同様な作用及び効果が得られる。

#### 【0174】

図示は省略するが、本発明に係るはんだペーストを用いる場合、本発明に係るフラックスを封止剤として用い、電子部品と部品搭載基板、半導体チップとチップ搭載基板及び電子回路モジュールとマザー基板とを、フラックスでなる封止剤によって接合することもできる。また、本発明に係るフラックスを用いた部品搭載基板において、本フラックスの上層部に一般的な封止剤を形成することもできる。

#### 【0175】

##### 【発明の効果】

以上述べたように、本発明によれば、次のような効果が得られる。

（a）実装の高密度化、部品の小型化及び部品の配置間隔の狭ピッチ化等に対しても、十分な接合強度をもって対応し得るはんだ付け用フラックス及びはんだペ

ースト及びはんだ付け方法を提供することができる。

(b) 両面実装タイプの部品搭載基板において、部品の浮動または脱落等の不具合を確実に阻止し得るはんだ付け用フラックス及びはんだペースト及びはんだ付け方法を提供することができる。

(c) フラックス洗浄工程を必要とせず、製造コストの安価な電子部品装置、電子回路モジュール及び電子回路装置を提供することができる。

(d) はんだ接合寿命を、従来よりも著しく長期化させた高信頼度の電子部品装置、電子回路モジュール及び電子回路装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係るフラックスを用いたチップ部品のはんだ付け方法を示す部分断面図である。

【図 2】

部品搭載基板にはんだ付けされたチップ部品の横押し強度試験方法を示す部分断面図である。

【図 3】

図 2 に示した部品横押し強度試験による結果を示す図である。

【図 4】

本発明に係るフラックスを含有するはんだペーストを用いた場合について、部品搭載基板の詳細と、部品搭載基板に対するチップ部品のはんだ付け工程を示す部分断面図である。

【図 5】

従来のロジン系フラックスを含有するはんだペーストを用いた場合について、部品搭載基板の詳細と、部品搭載基板に対するチップ部品のはんだ付け工程を示す部分断面図である。

【図 6】

図 4 に示す本発明に係るはんだ付け方法と、図 5 に示す従来のはんだ付け方法とについて、部品横押し強度試験の結果を示す図である。

【図 7】

本発明に係るフラックスを含有するはんだペーストを用いたはんだ付け方法を示す部分断面図である。

【図 8】

図 7 に示した本発明に係るはんだ付け方法によって、チップ部品を部品搭載基板上にはんだ付けした場合の外観を示す図であって、図 7 の 8 - 8 線に沿った部分断面図である。

【図 9】

従来のロジン系フラックス含有のはんだペーストを用いたはんだ付け方法を示す部分断面図である。

【図 1 0】

図 9 に示した従来ののはんだ付け方法によって、チップ部品を部品搭載基板上にはんだ付けした場合の外観を示す図であって、図 9 の 1 0 - 1 0 線に沿った部分断面図である。

【図 1 1】

本発明に係るはんだペーストを用いてチップ部品をはんだ付けした場合と、従来のロジン系フラックス含有はんだペーストを用いてチップ部品をはんだ付けした場合のリフロー温度と部品横押し強度との関係を示す図である。

【図 1 2】

本発明に係る電子回路モジュールの正面部分断面図である。

【図 1 3】

図 1 2 に示した電子回路モジュールのはんだ付け方法を説明する図である。

【図 1 4】

本発明に係る電子回路モジュールの別の例を示す正面部分断面図である。

【図 1 5】

図 1 4 に示した電子回路モジュールのはんだ付け方法を説明する図である。

【図 1 6】

R D C 測定結果を示すグラフである。

【図 1 7】

本発明に係る電子回路装置の正面部分断面図である。



【図 1 8】

図 1 7 に示した電子回路装置のはんだ付け方法を説明する図である。

【図 1 9】

本発明に係る電子回路装置の別の例を示す正面部分断面図である。

【図 2 0】

図 1 9 に示した電子回路装置のはんだ付け方法を説明する図である。

【図 2 1】

RDC測定結果を示すグラフである。

【図 2 2】

マザー基板に対する電子回路モジュールのはんだ付け工程を示す正面部分断面図である。

【図 2 3】

図 2 2 に示した工程の次の工程を示す正面部分断面図である。

【図 2 4】

図 2 3 に示した工程の次の工程を示す正面部分断面図である。

【図 2 5】

図 2 4 に示した工程の次の工程を示す正面部分断面図である。

【図 2 6】

マザー基板から電子回路モジュールを取り外す工程を示す正面部分断面図である。

【図 2 7】

図 2 6 に示した工程の次の工程を示す正面部分断面図である。

【図 2 8】

サンプル 2 1、2 2 のはんだペーストを用いてコンデンサをはんだ付けした場合について、リフロー温度と部品横押し強度との関係を示す図である。

【図 2 9】

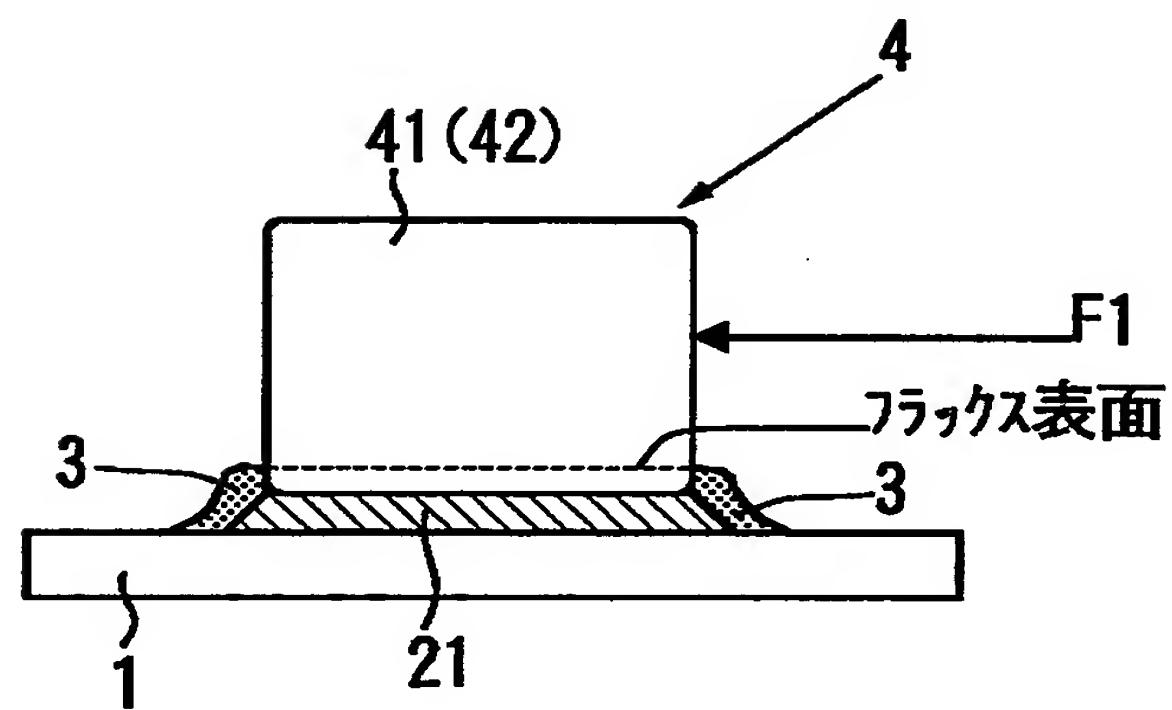
サンプル 5 0 ～ 5 4 のはんだペーストを用いてコンデンサをはんだ付けした場合について、リフロー温度と部品横押し強度との関係を示す図である。

【符号の説明】

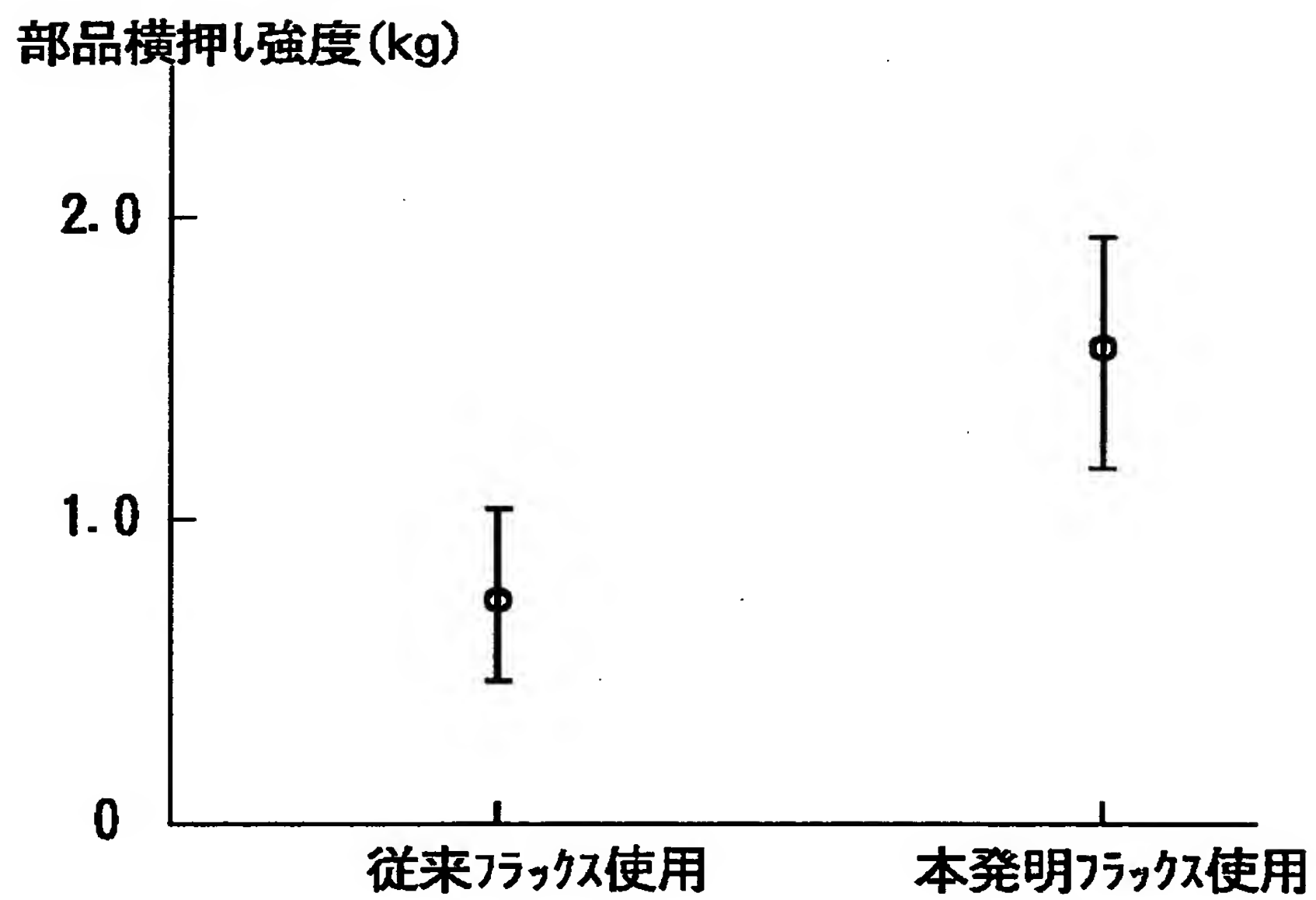
1	部品搭載基板
2 1、2 2	はんだバンプ
3	フラックス
4	チップ部品
8 1、8 2	はんだペースト



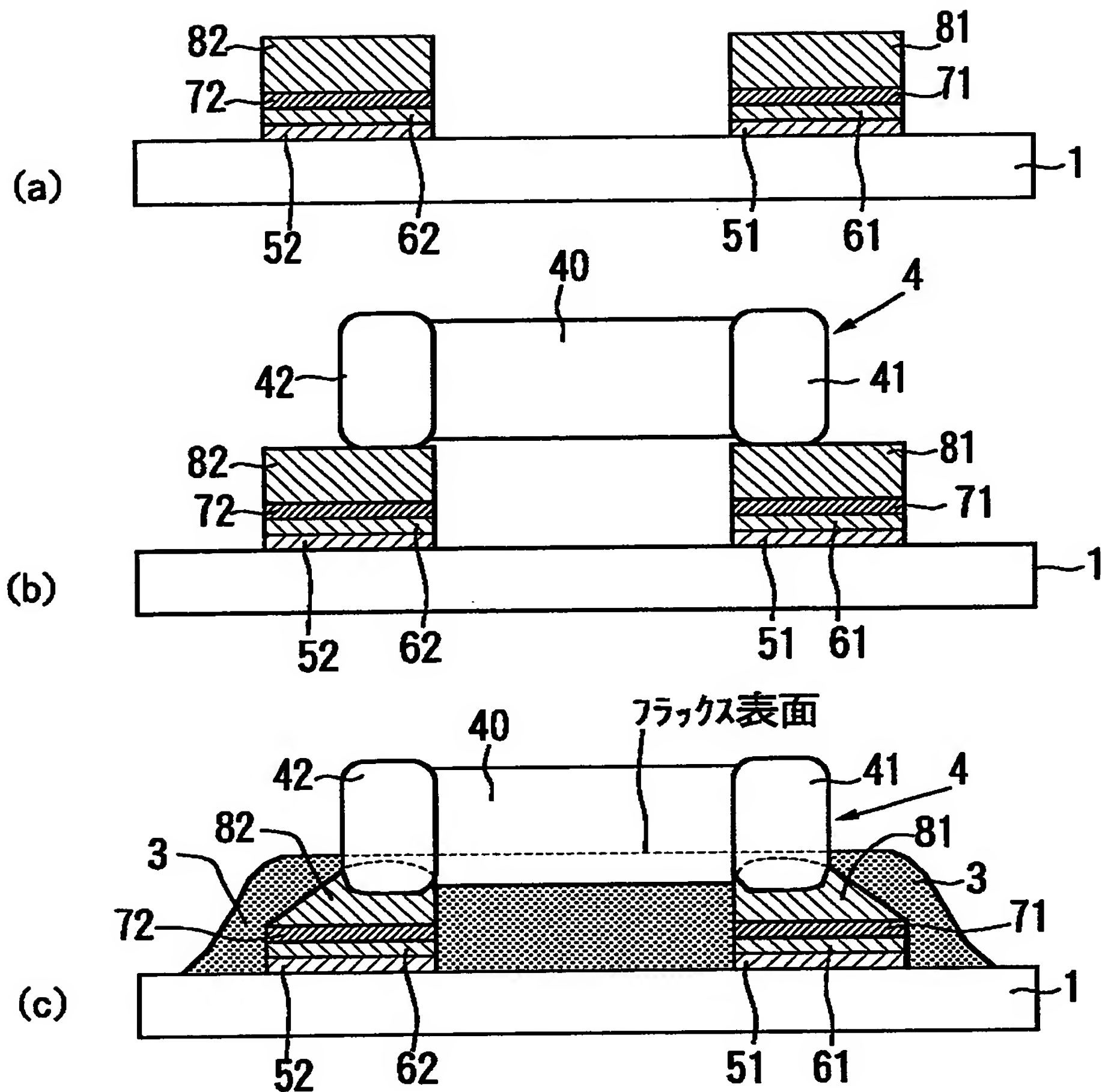
【図 2】



【図 3】

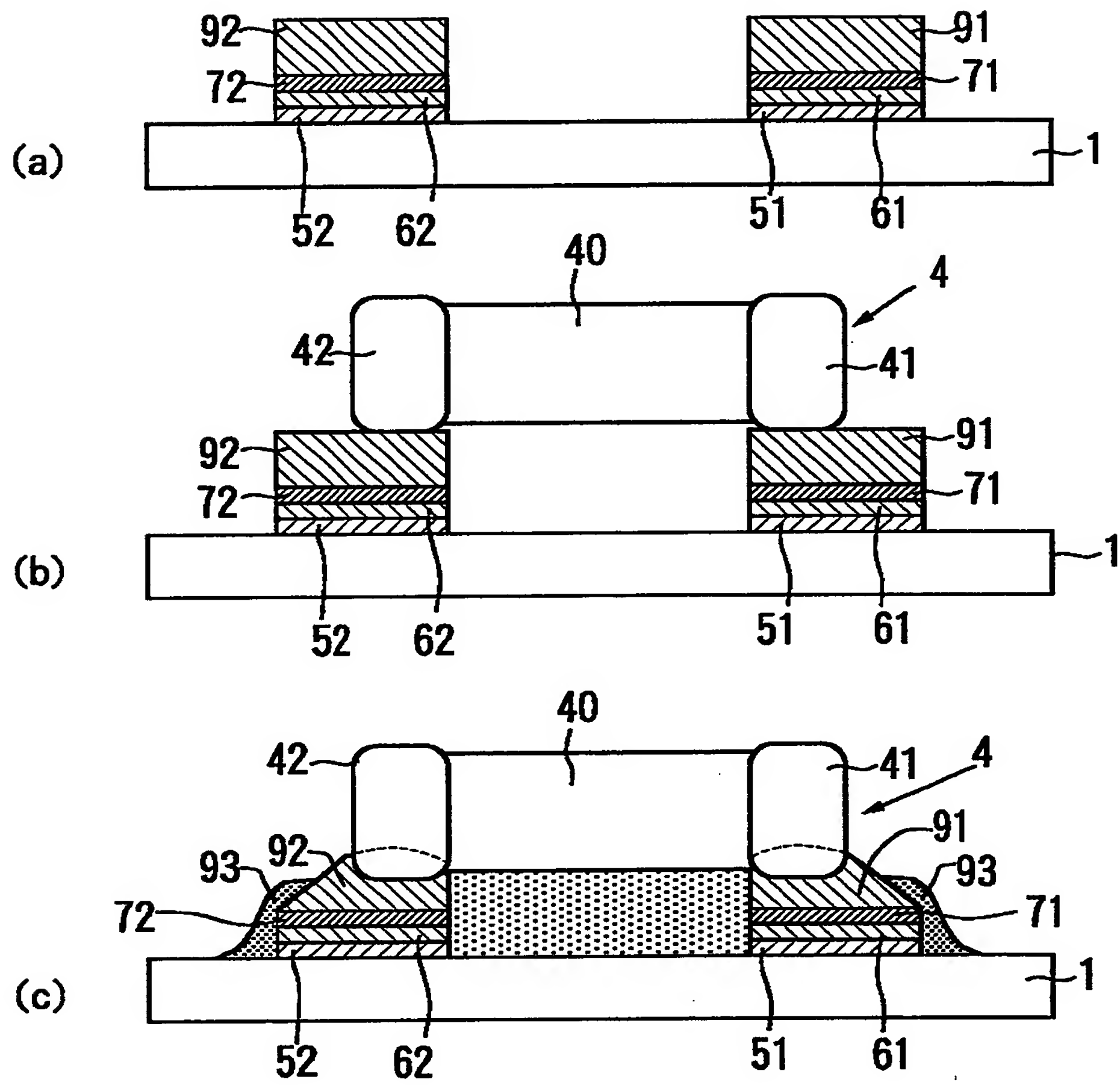


【図4】

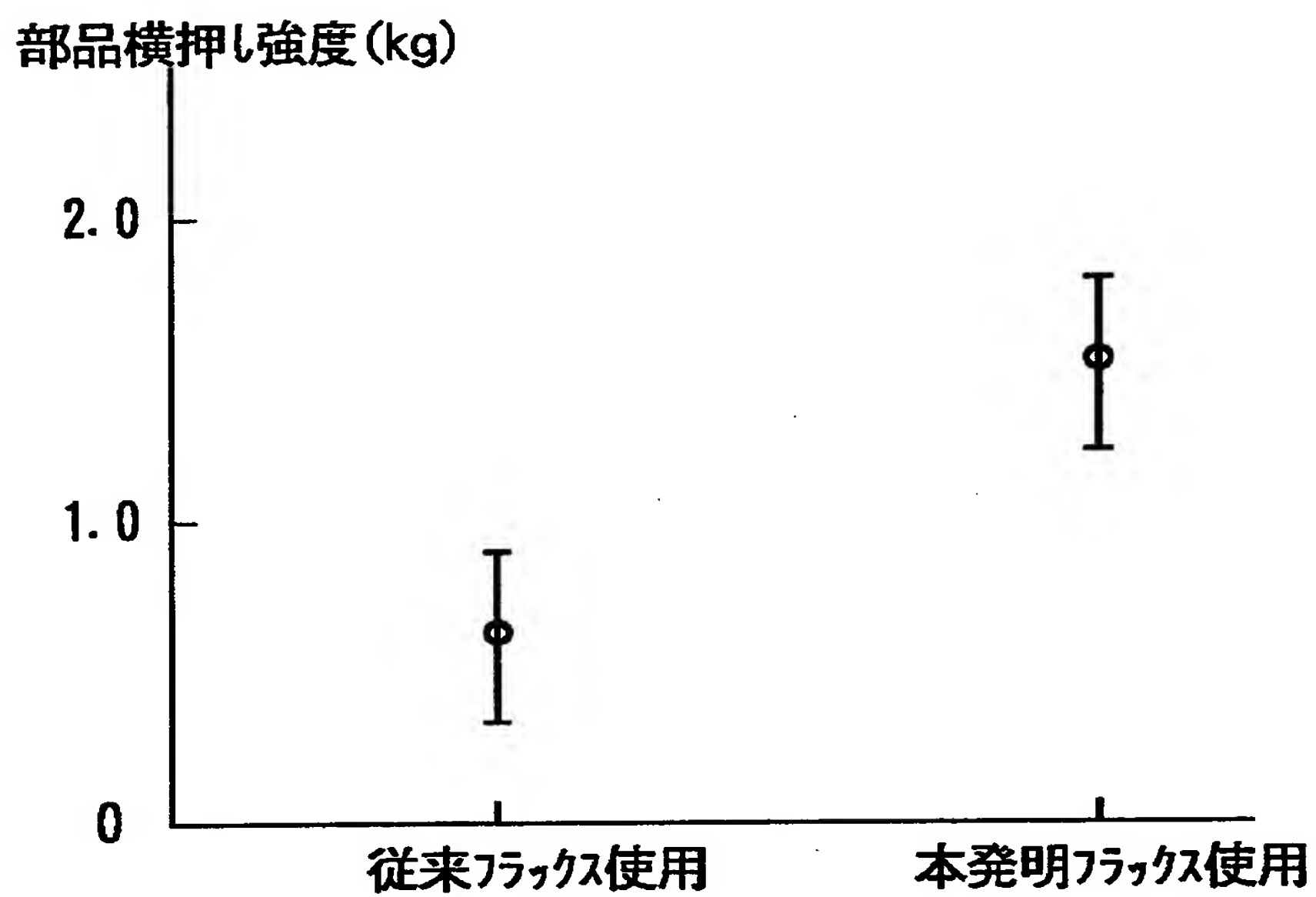




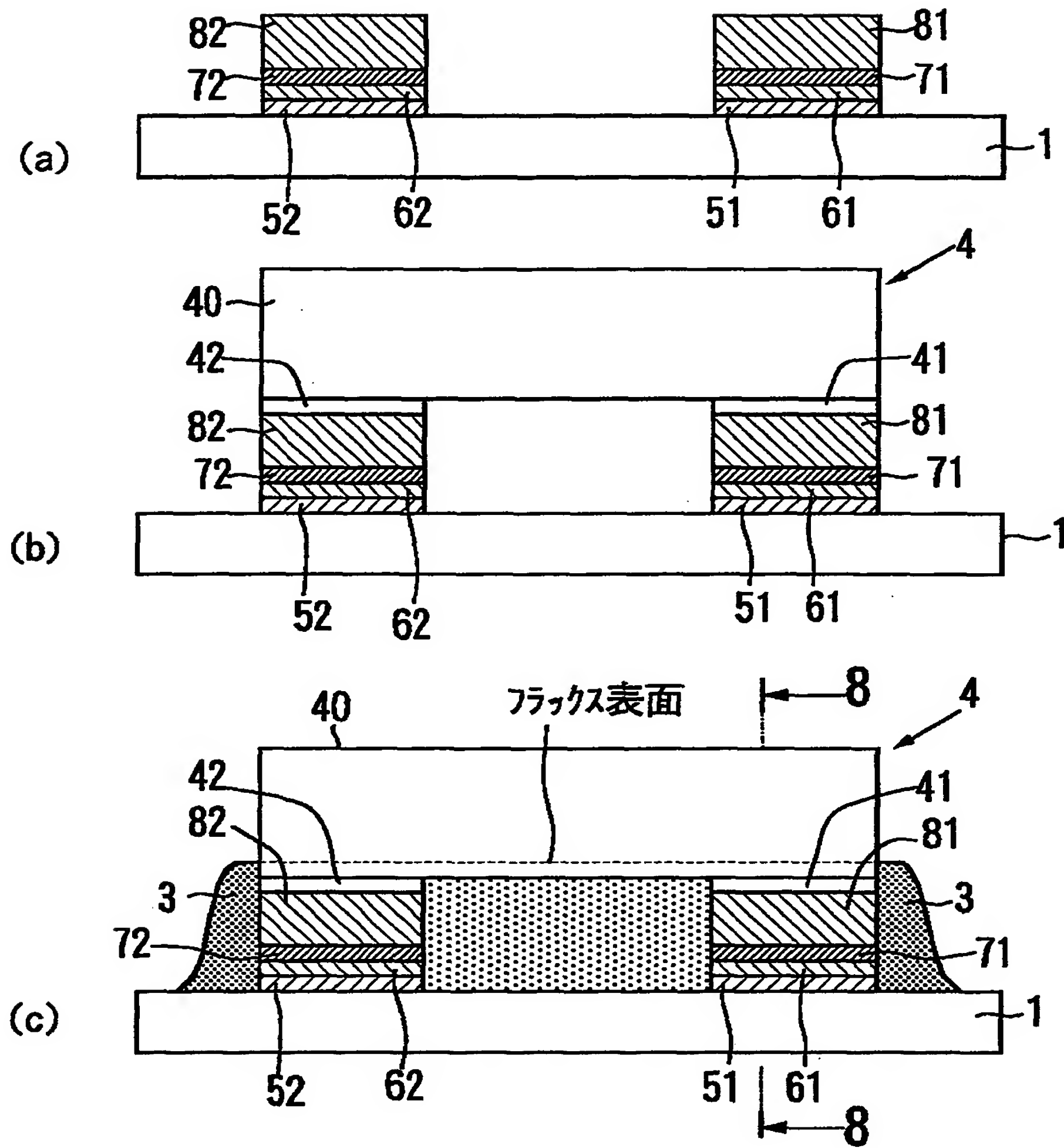
【図 5】



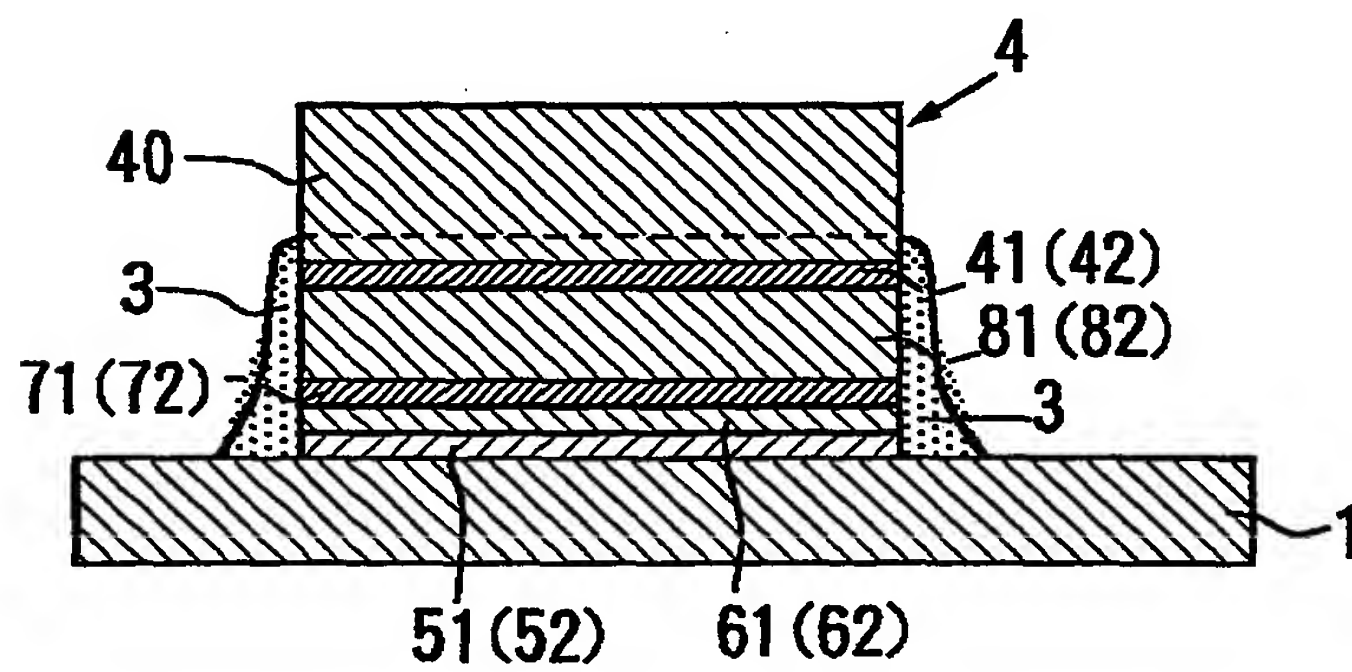
【図 6】



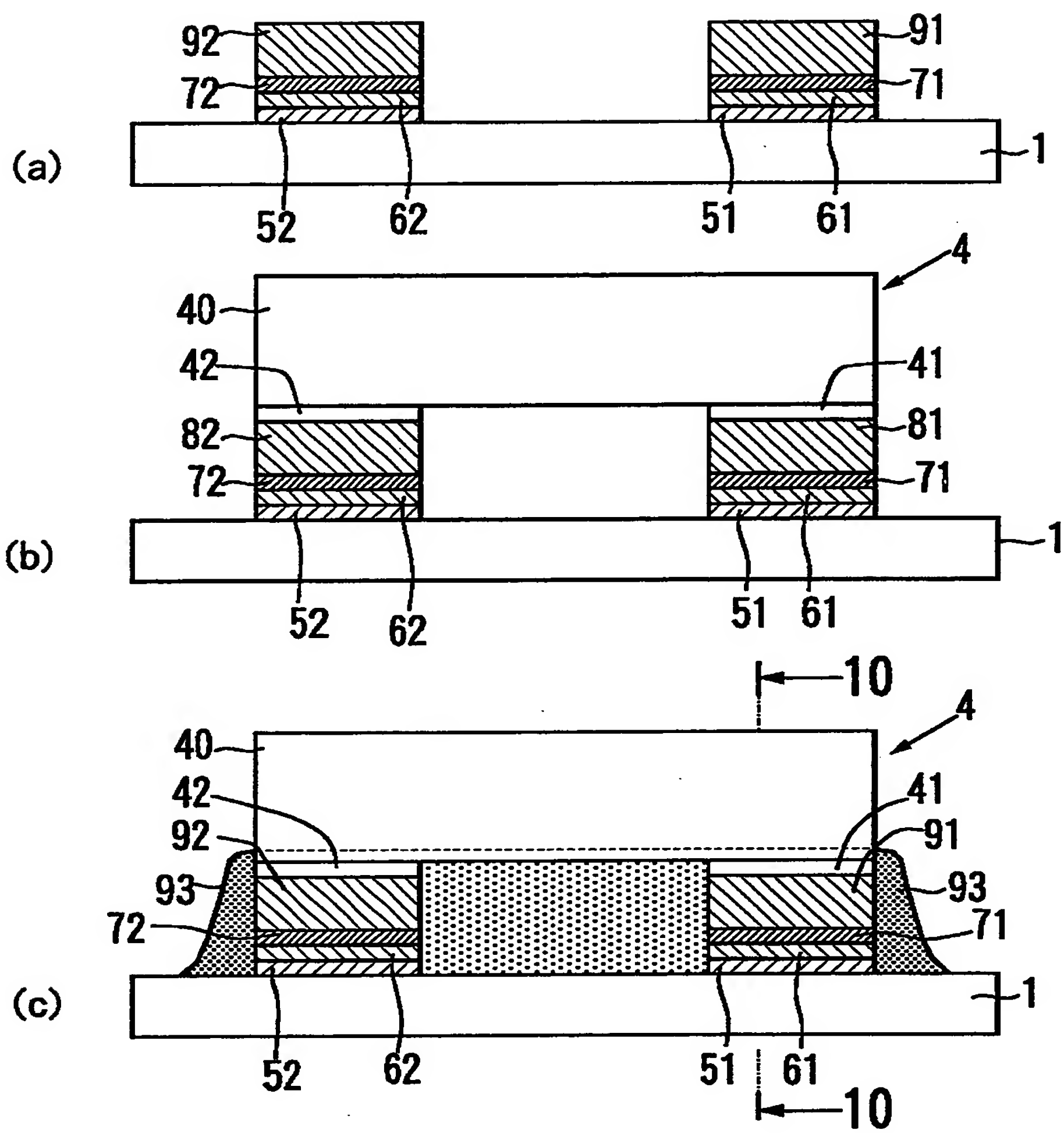
【図 7】



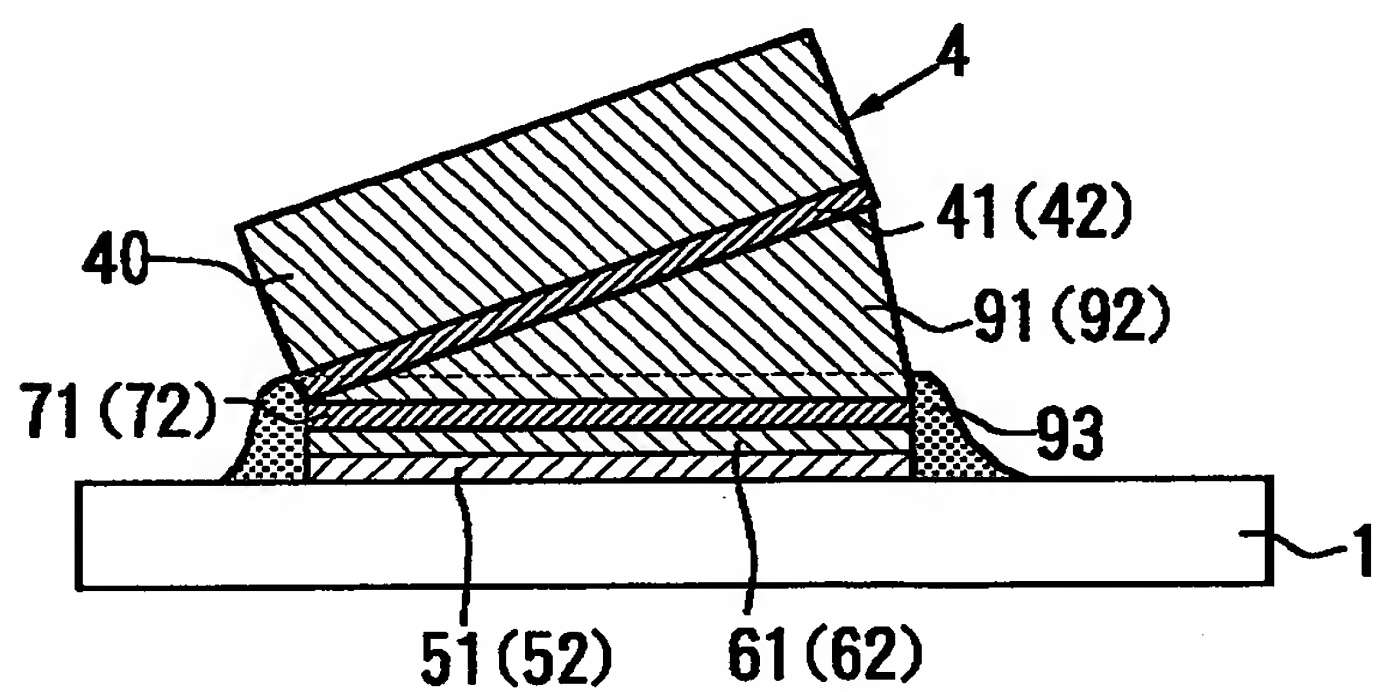
【図 8】



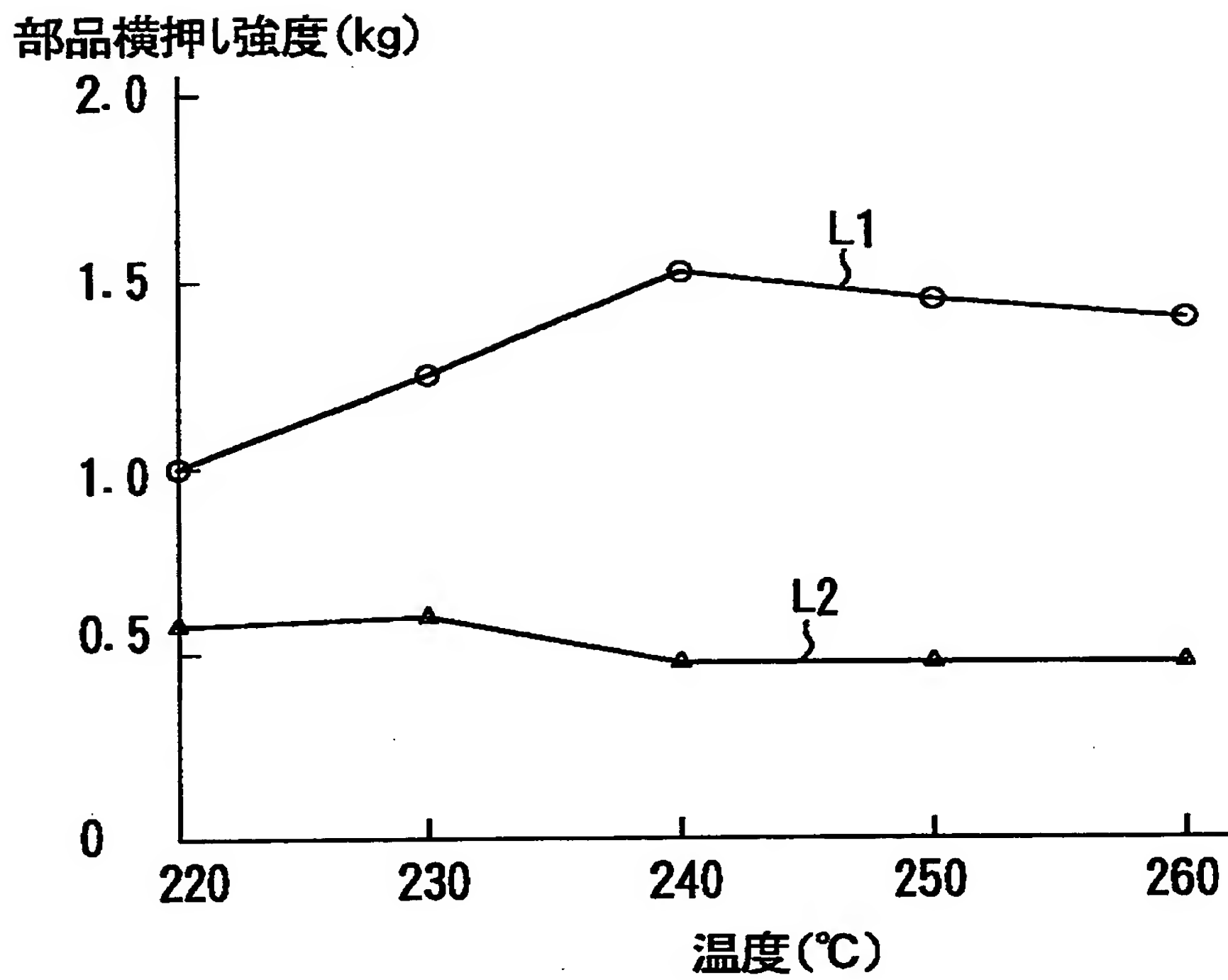
【图 9】



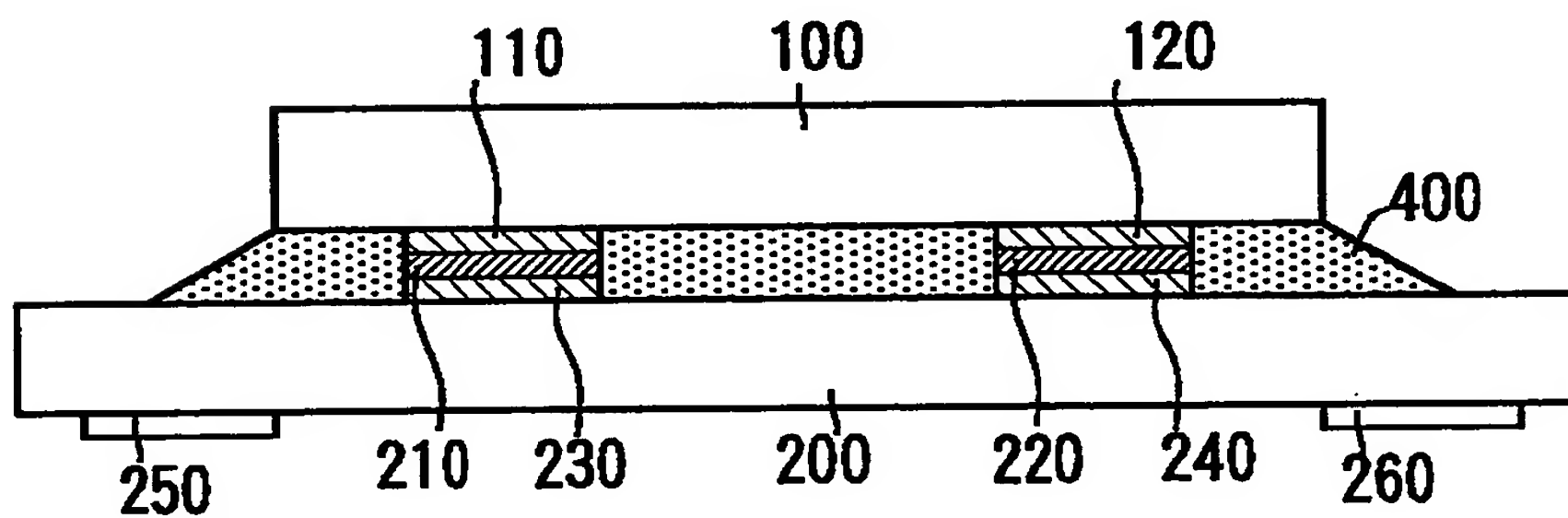
【图 10】



【図 1 1】



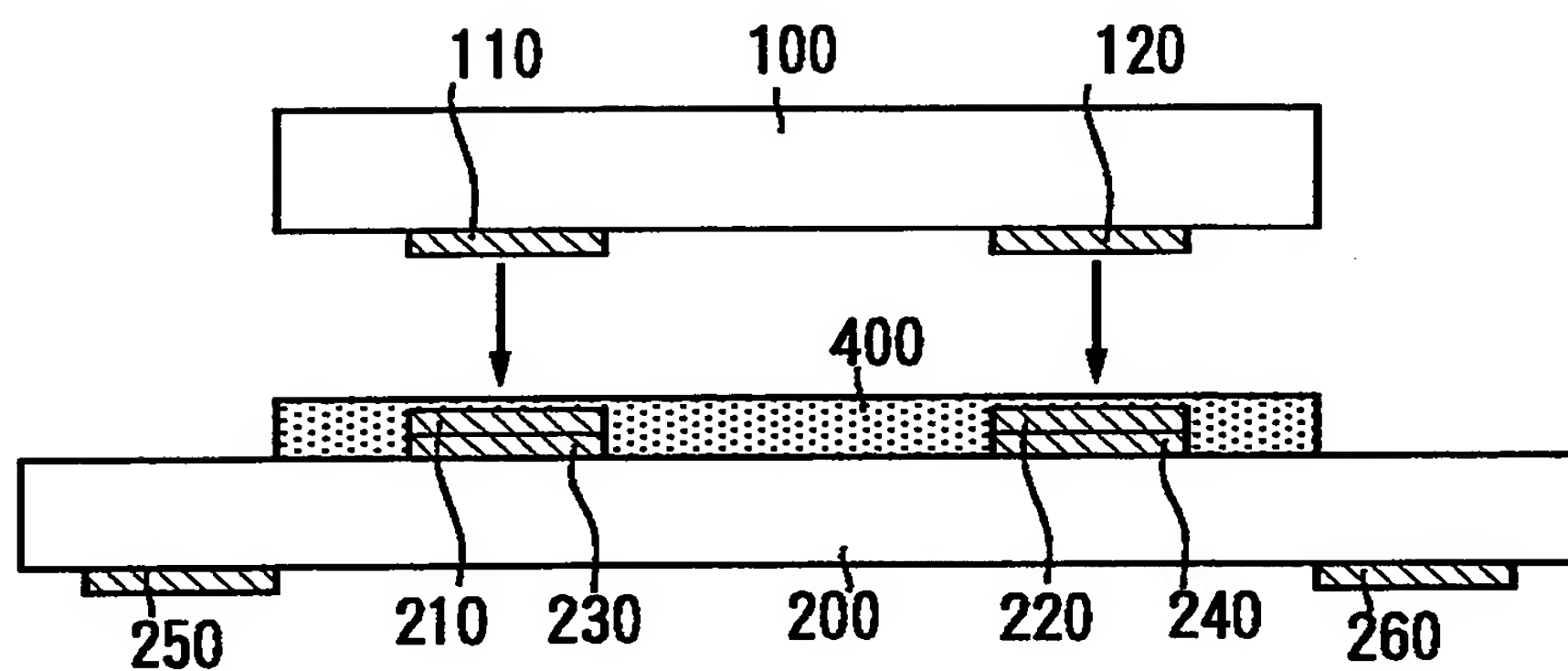
【図 1 2】



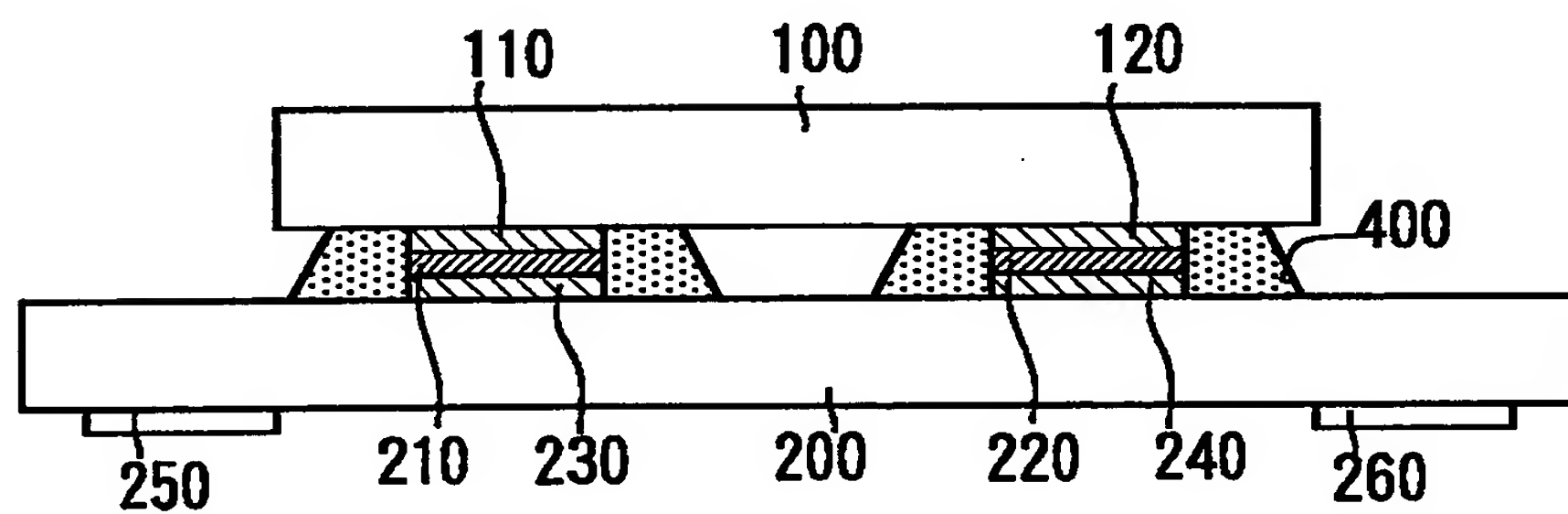




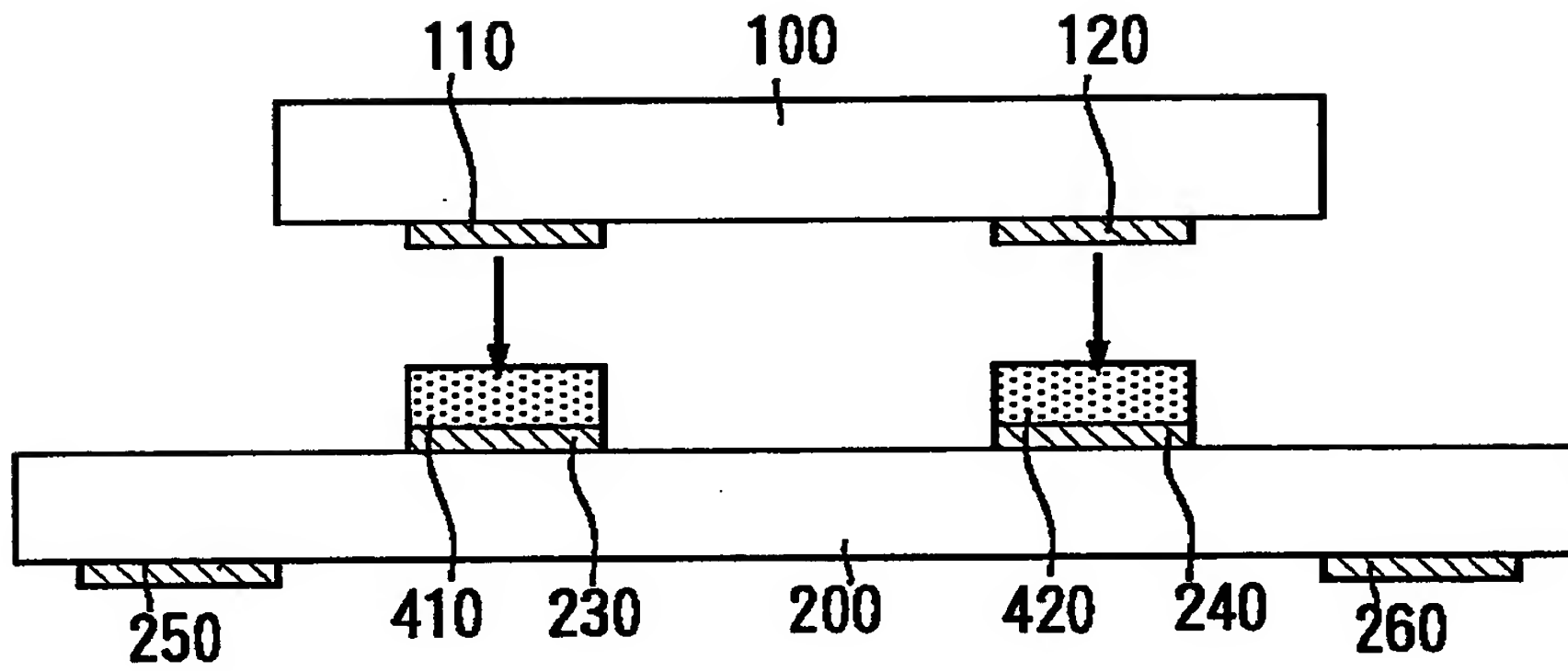
【図 1 3】



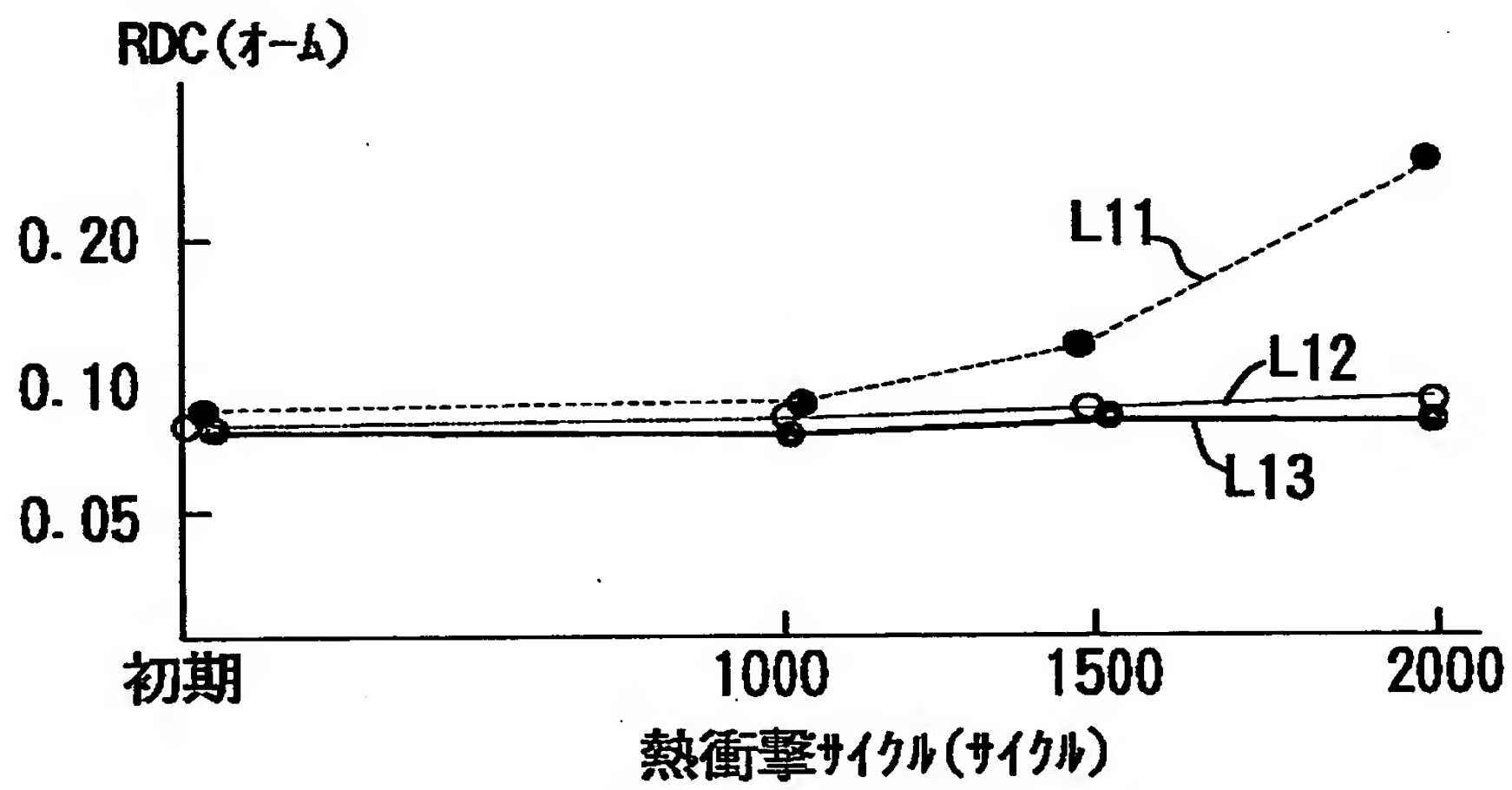
【図 1 4】



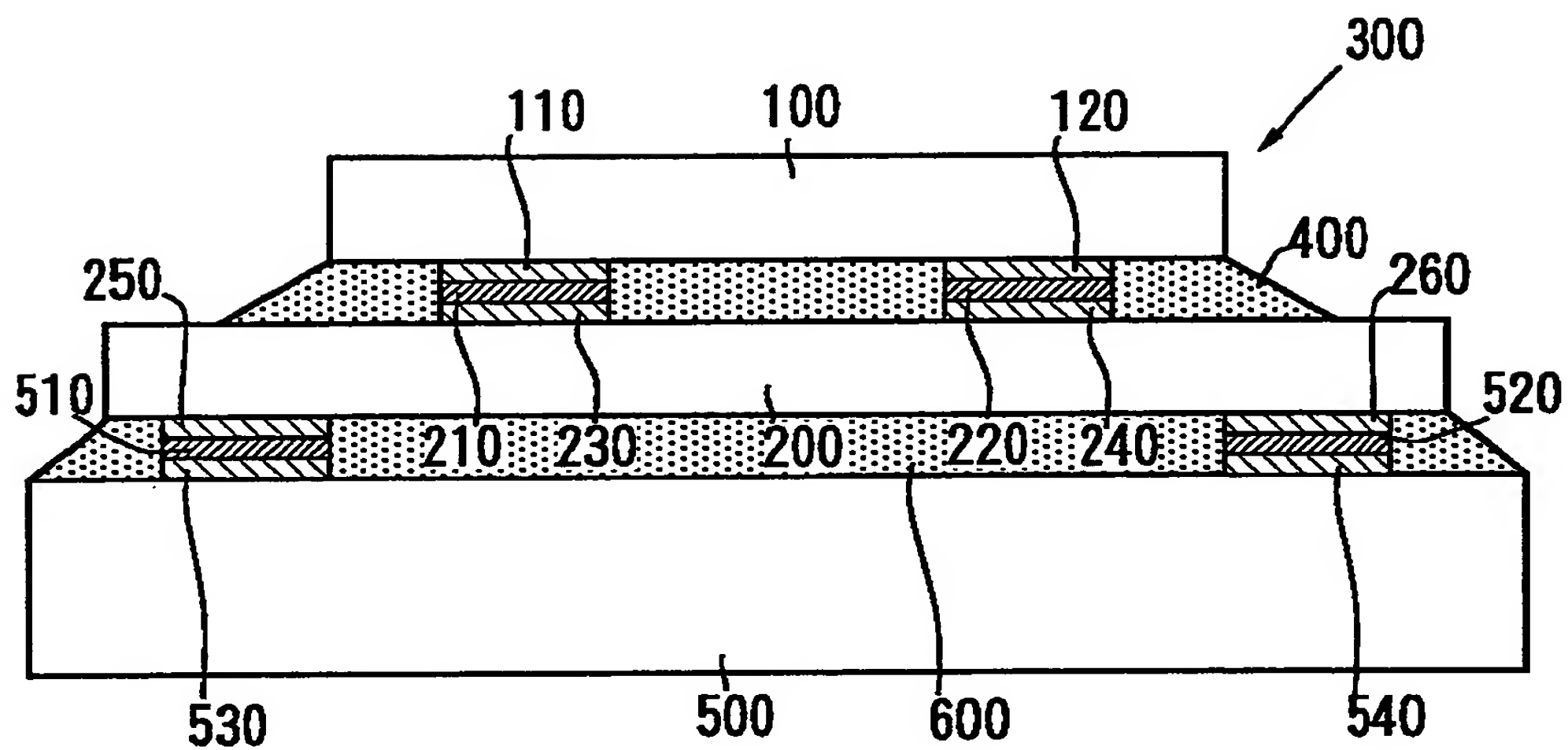
【図 1 5】



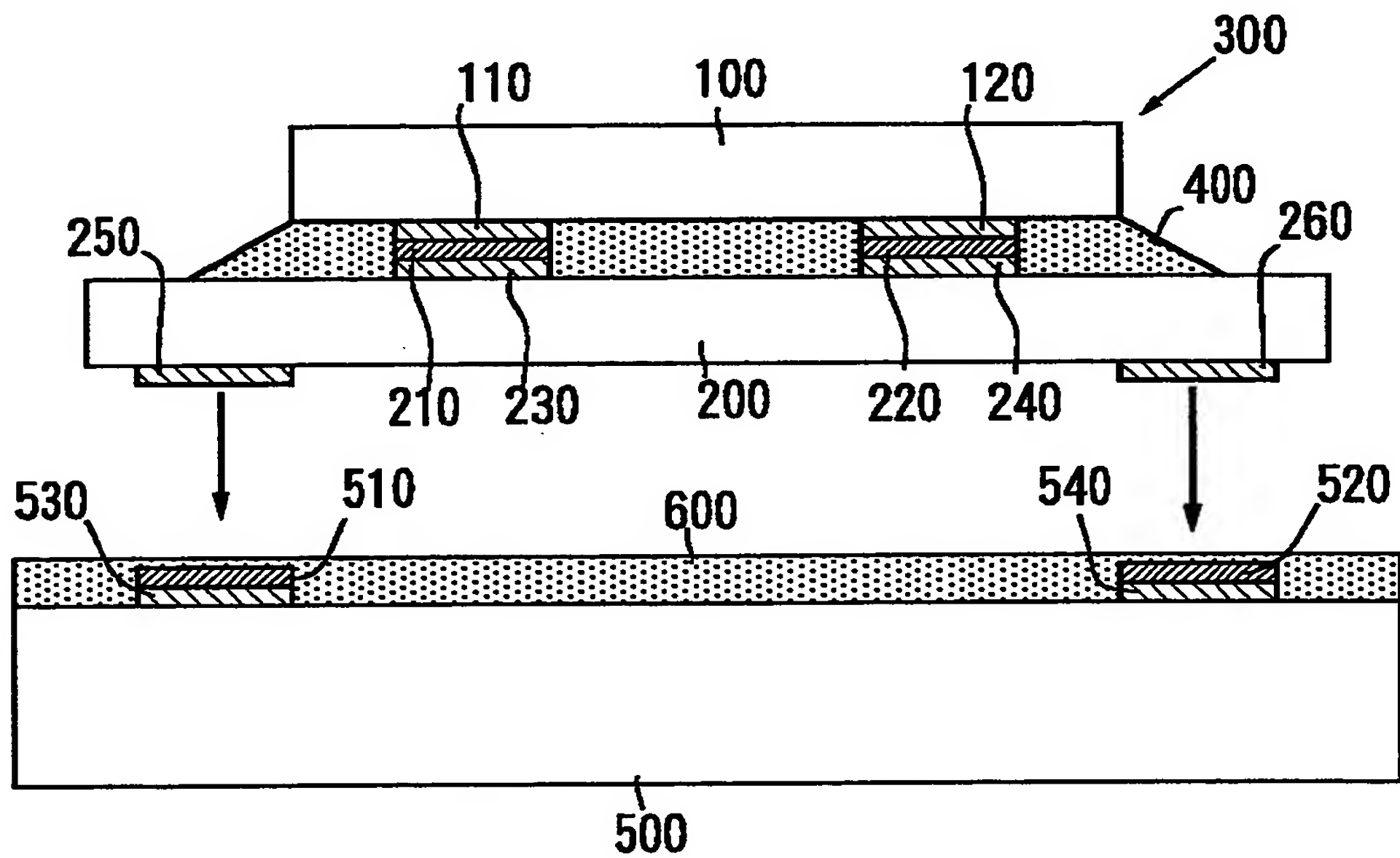
【図 1 6】



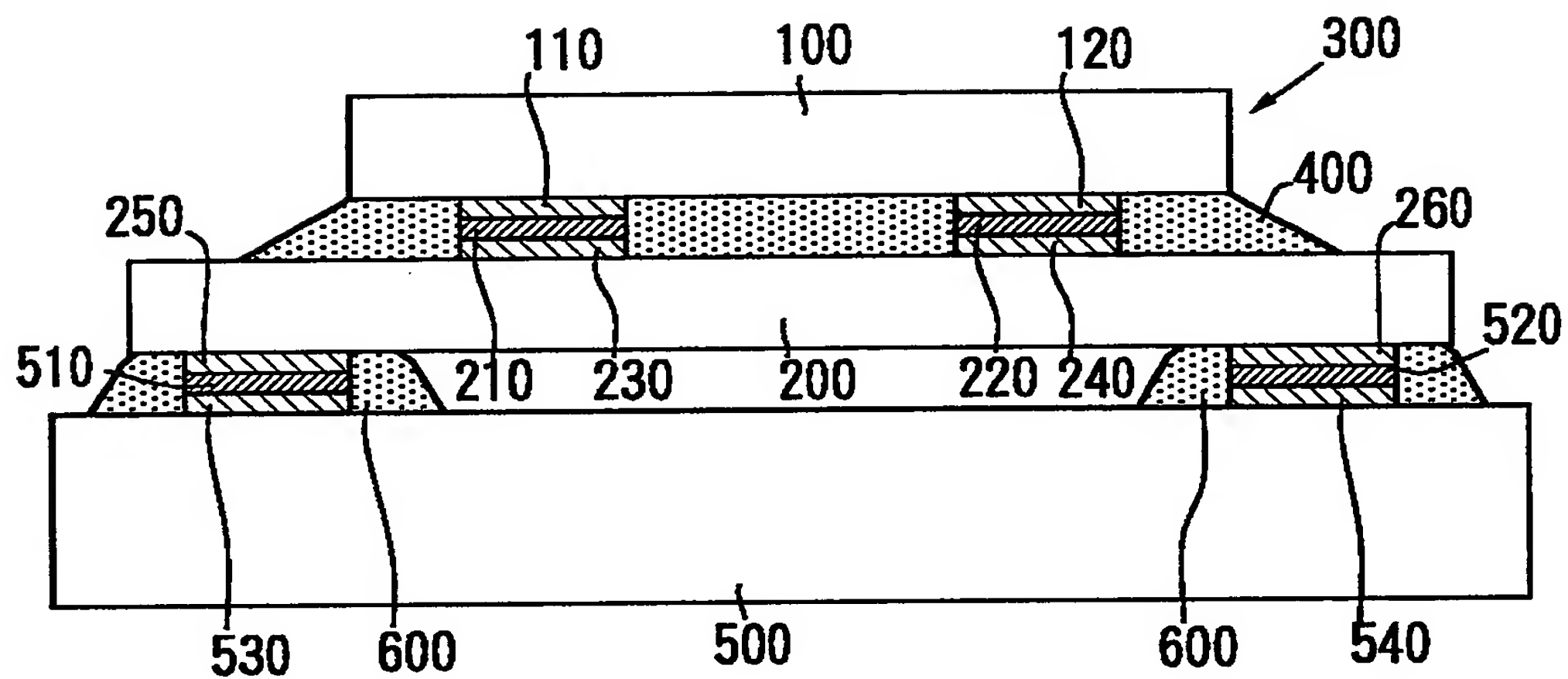
【図 17】



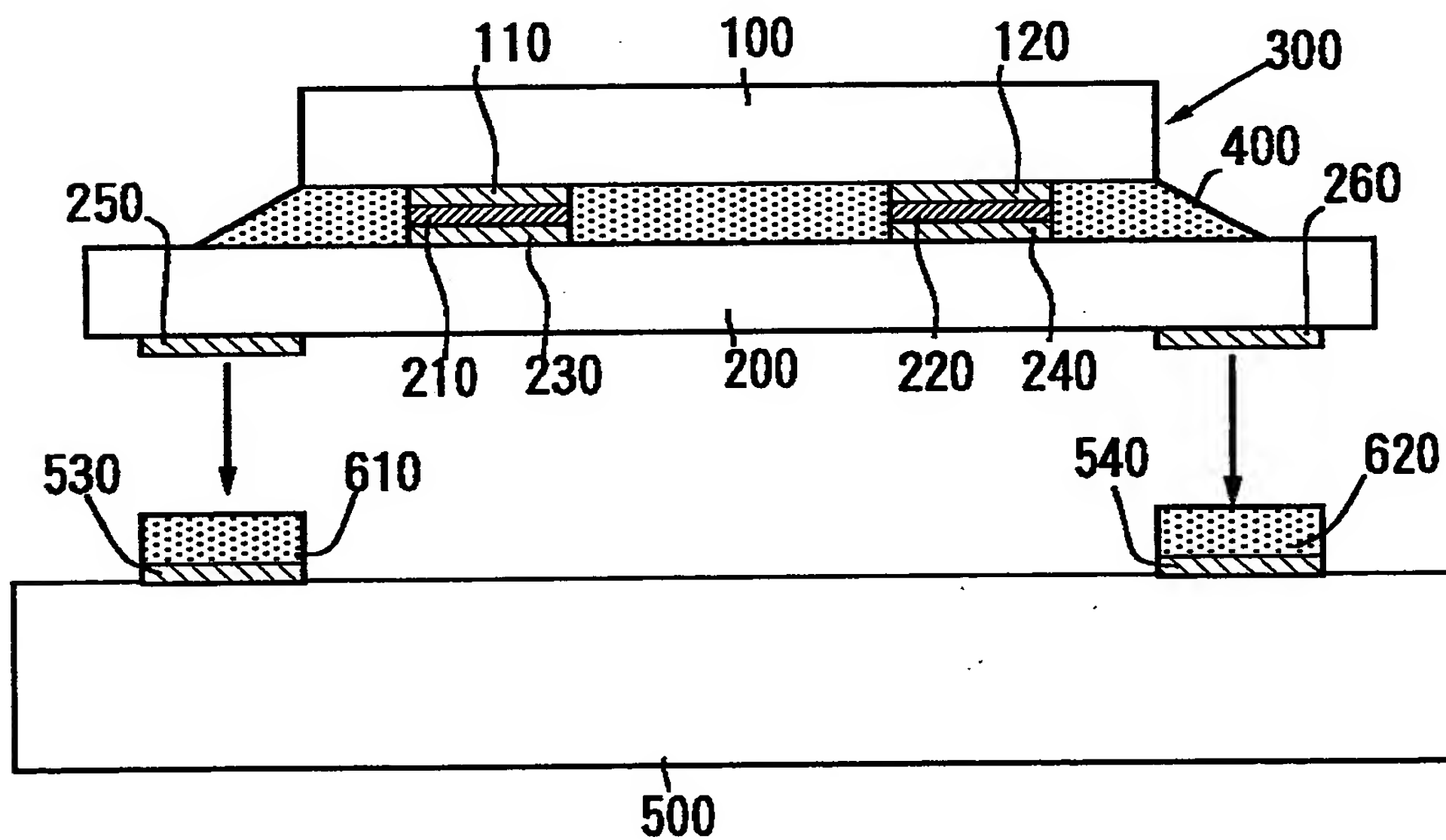
【図 18】



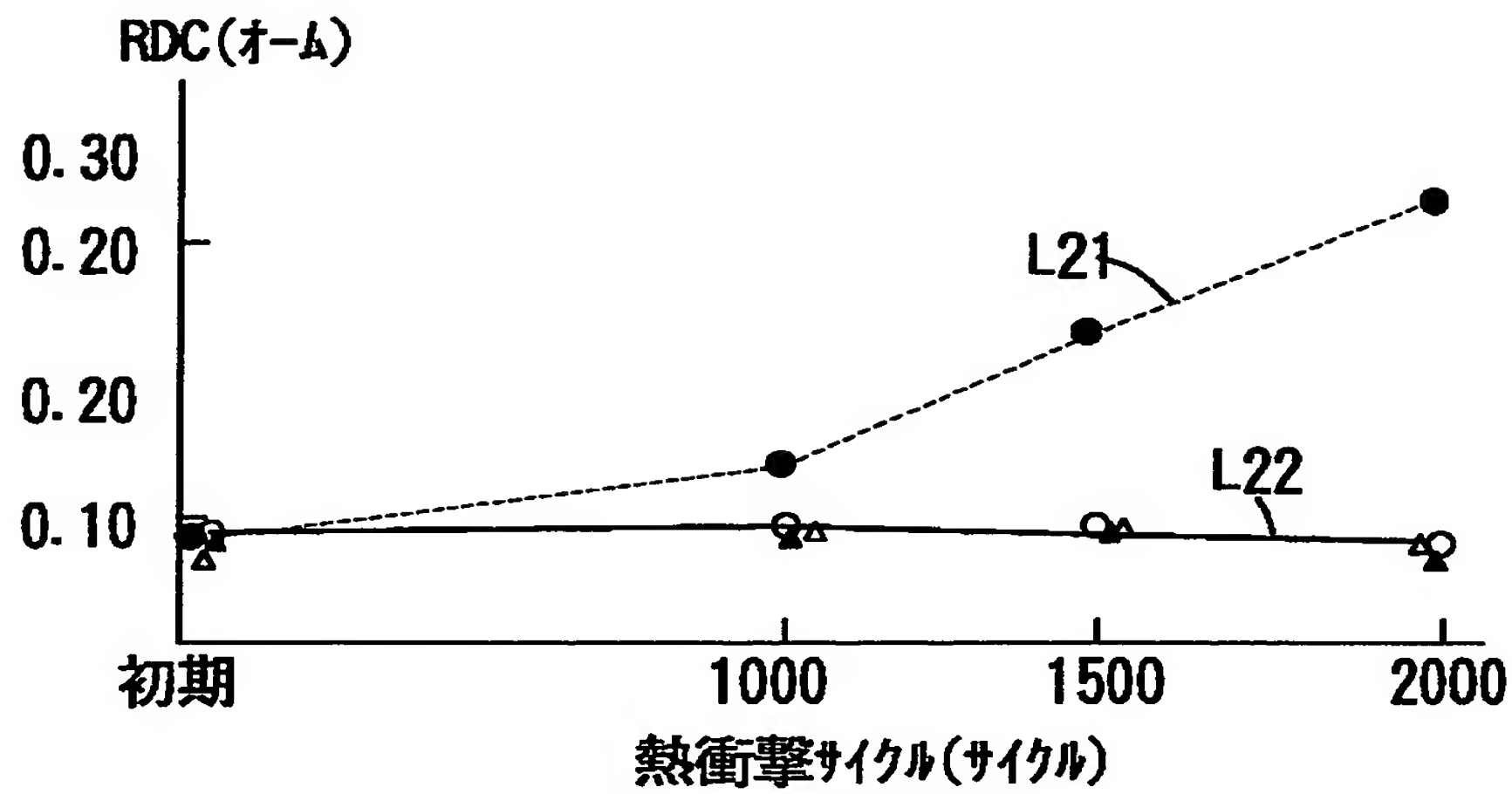
【図 1 9】



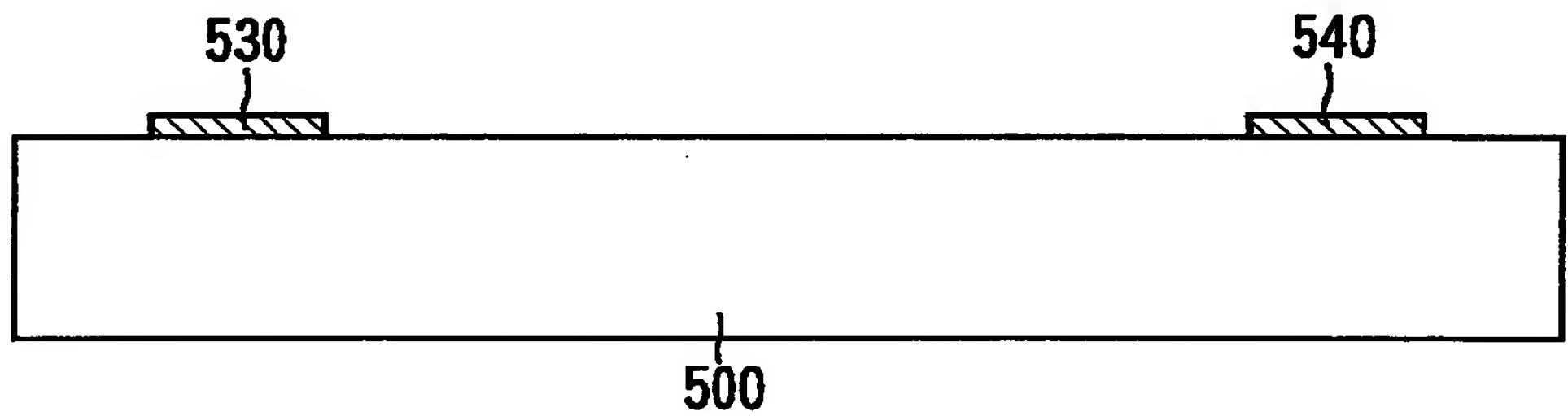
【図 2 0】



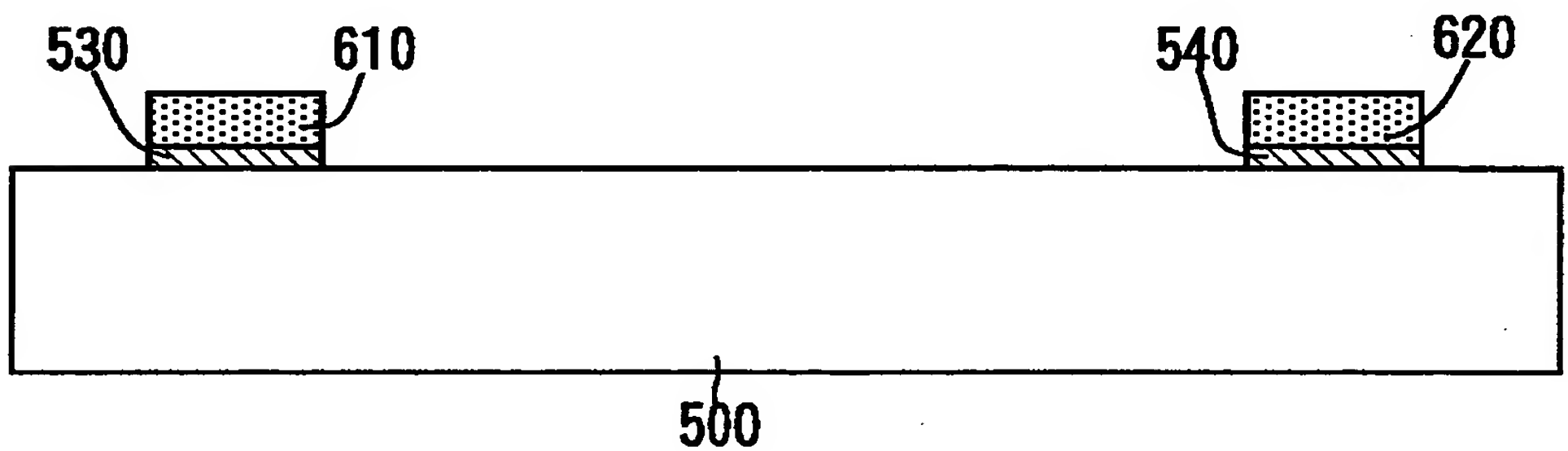
【図 2 1】



【図 2 2】

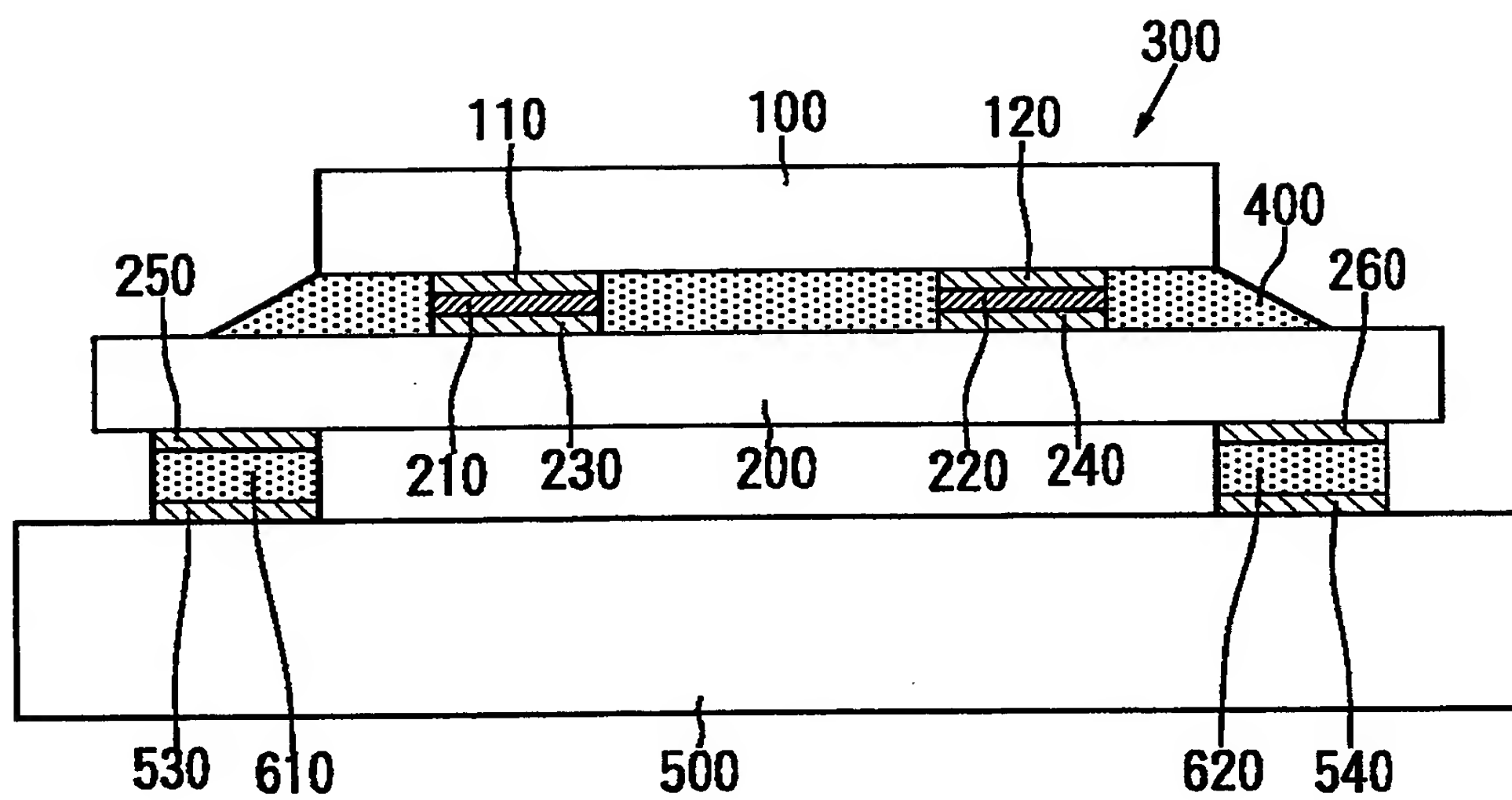


【図 2 3】

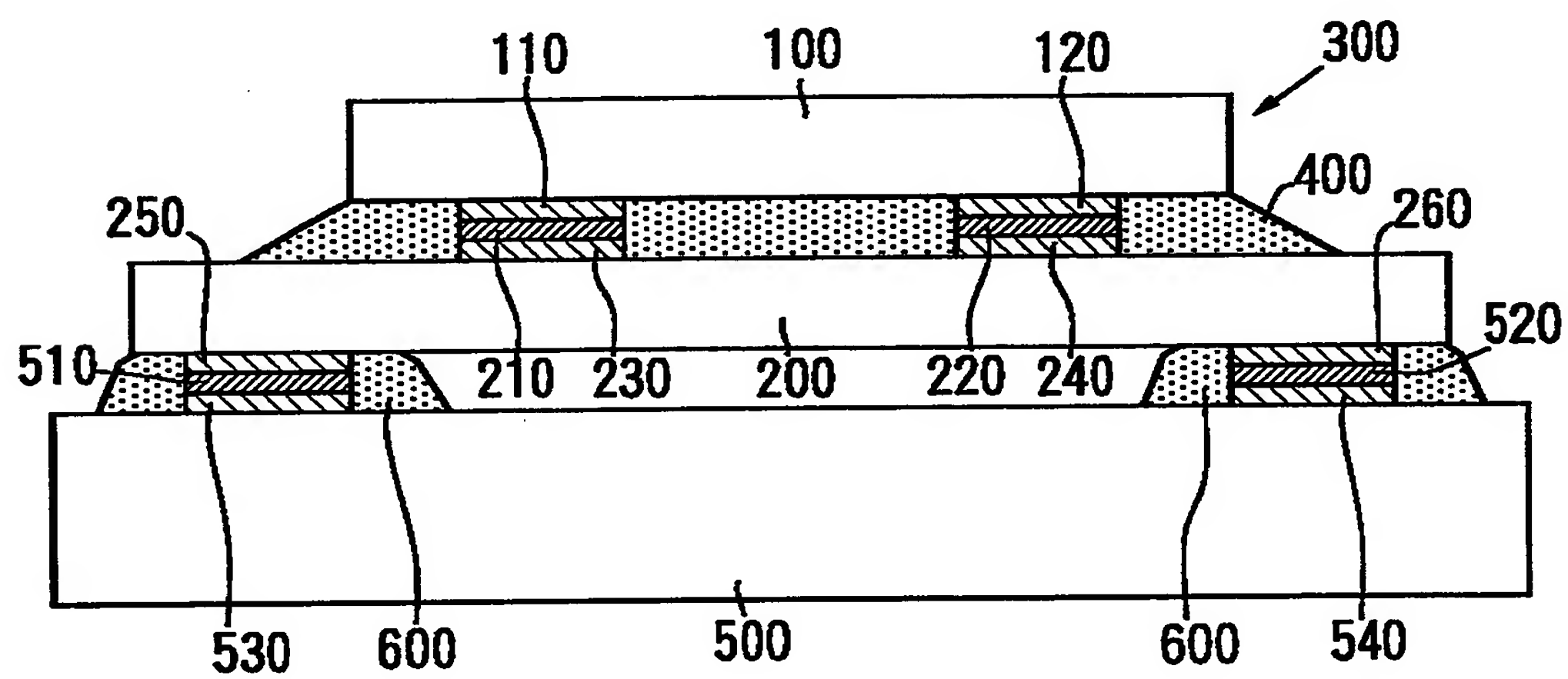




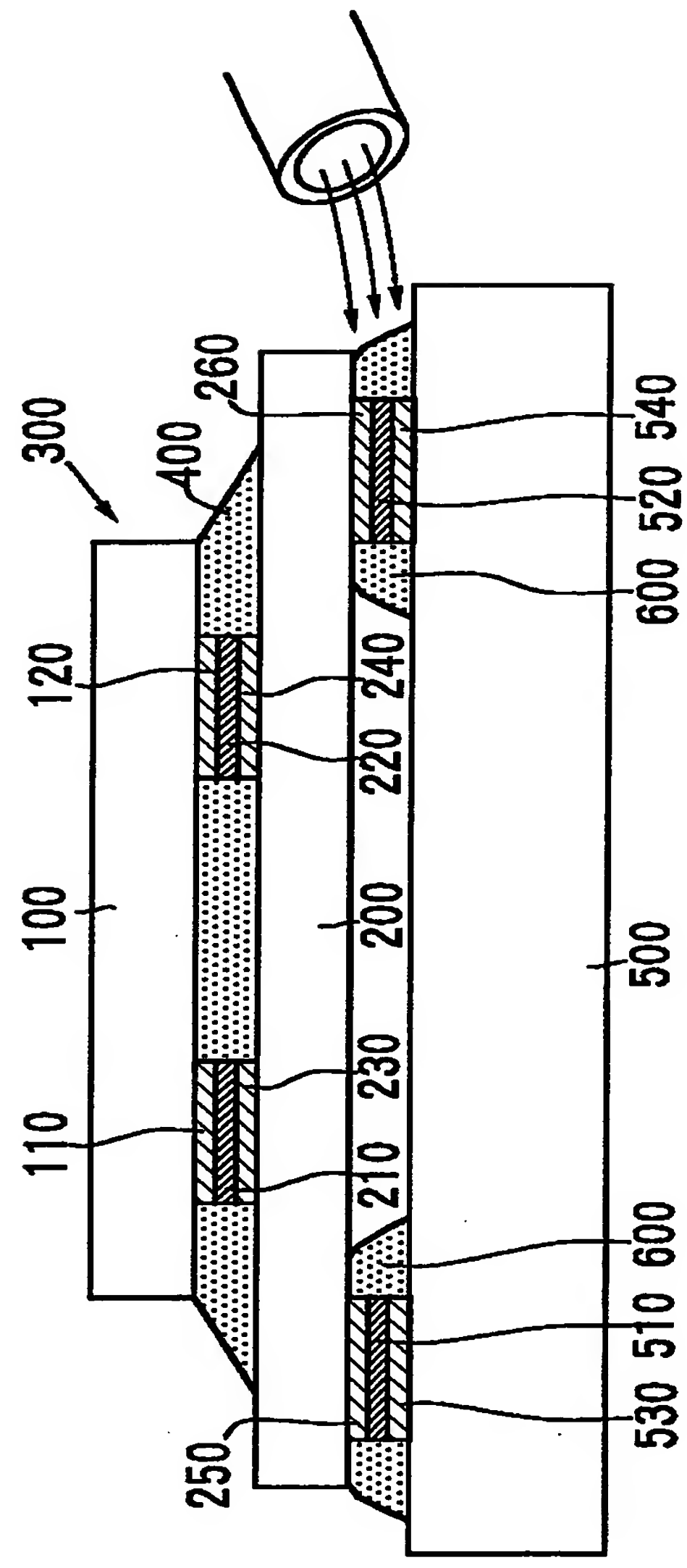
【図 2 4】



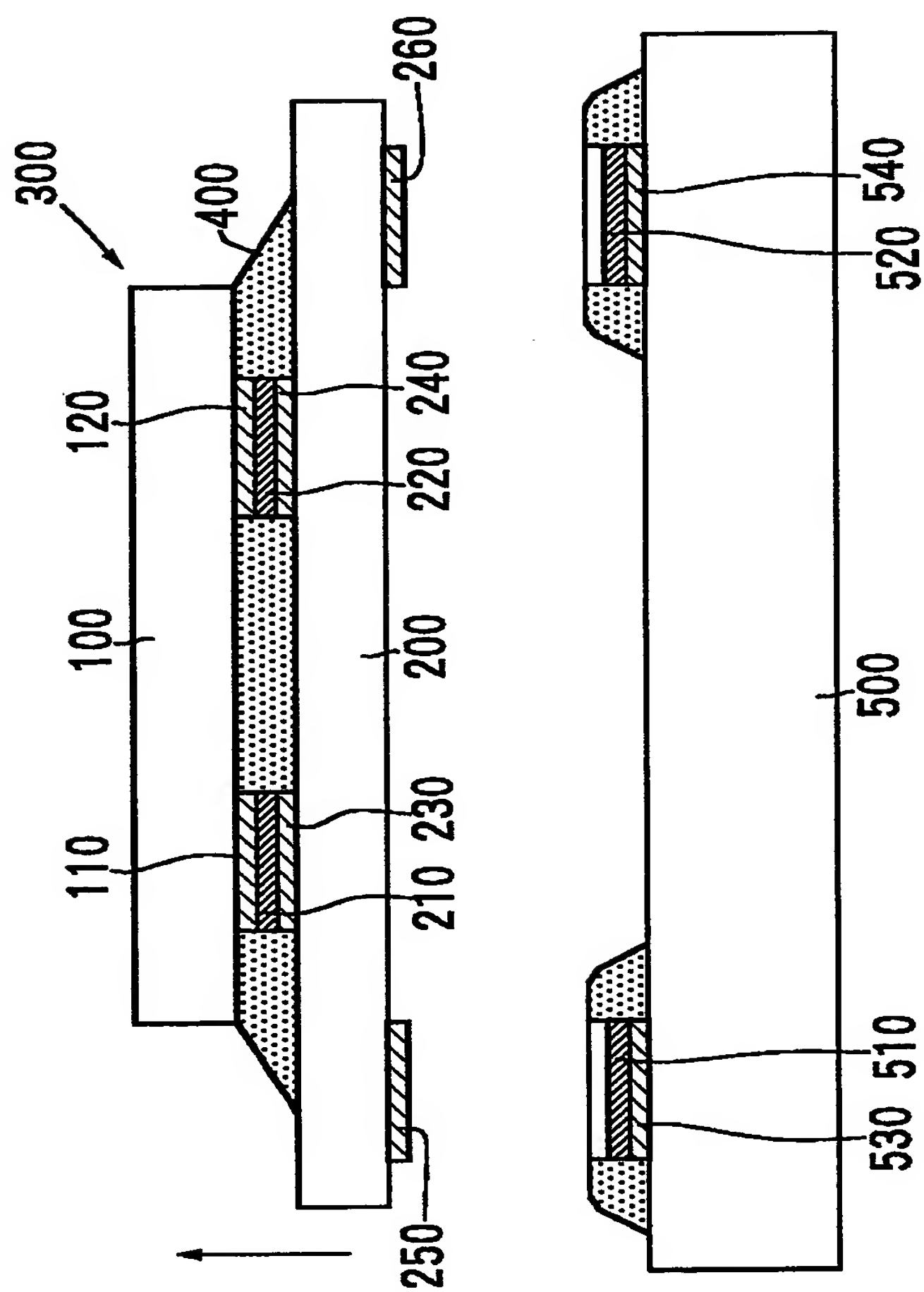
【図 2 5】



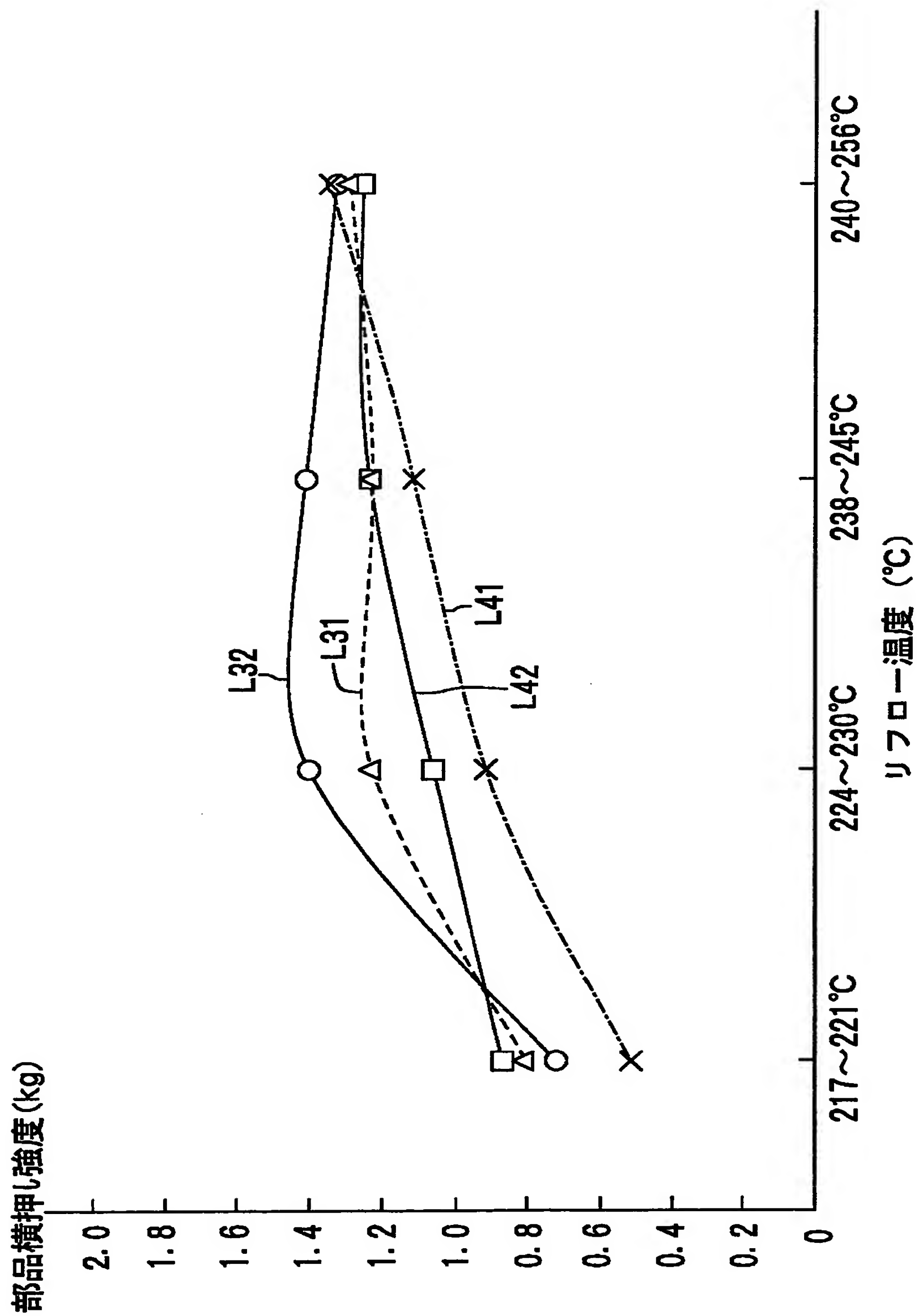
【図 2 6】



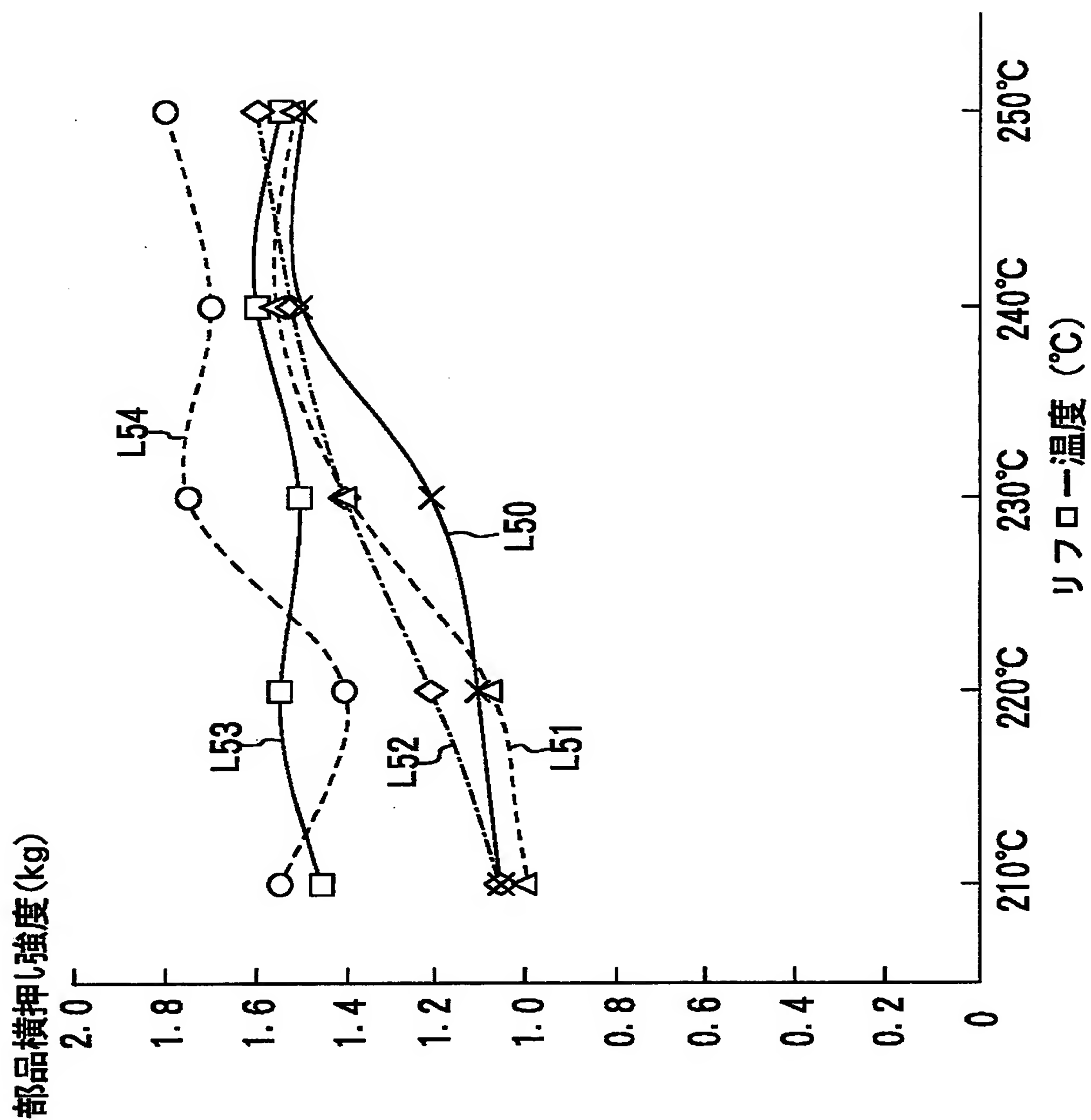
【図 2 7】



【図 28】



【図 2 9】





【書類名】 要約書

【要約】

【課題】 実装の高密度化、部品の小型化及び部品の配置間隔の狭ピッチ化等に対しても、十分な接合強度をもって対応し得るはんだ付け用フラックス及びはんだペースト及びはんだ付け方法を提供する。

【解決手段】 フラックス 3 は、接着性樹脂と、硬化剤とを含有する。このフラックスまたはこれを含むはんだペーストを、部品搭載基板 1 の上に塗布し、電子部品 4 を搭載し、はんだ付けする。

【選択図】 図 1

特2000-218043

出願人履歴情報

識別番号

[000003067]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都中央区日本橋1丁目13番1号
氏 名	ティーディーケイ株式会社